

## 다층기판으로 구현된 마이크로스트립 선로와 결함접지구조의 초고주파 특성 및 등가회로 모델링

오성민<sup>1</sup>, 구재진<sup>1</sup>, 박천선<sup>1</sup>, 황문수<sup>1</sup>, 임종식<sup>1\*</sup>, 안달<sup>1</sup>

### A Study on the High Frequency Characteristics and Equivalent Circuit Model of Microstrip Lines Having Defected Ground Structures in Multilayer Substrates

Seong-Min Oh<sup>1</sup>, Jae-Jin Koo<sup>1</sup>, Chun-Sun Park<sup>1</sup>, Mun-Su Hwang<sup>1</sup>,  
Jong-Sik Lim<sup>1\*</sup> and Dal Ahn<sup>1</sup>

**요약** 본 논문은 다층기판으로 구현된 마이크로스트립 전송선로와 여기에 결합된 결함접지구조의 초고주파 특성 및 모델링에 대하여 기술하고 있다. 단층 마이크로스트립 전송선로와 결함접지구조를 지닌 기본형 구조에, 제 2의 유전체 층을 결함접지구조가 있는 바닥 접지면 아래에 적층하여 다층기판 속의 결함접지구조를 형성하였다. 그리고 제 2의 유전체 층의 유전율과 두께를 서로 달리해 가면서 초고주파 전송특성을 보고 추가된 유전체 층에 의한 등가회로의 변화를 등가회로 모델링을 통하여 분석하였다. 본 논문에서 제안된 방법에 따르면 적층된 제 2의 유전체 층에 의한 등가회로의 변화를 따로 확인할 수 있어서 추후 초고주파 회로에 유익하게 응용될 수 있다.

**Abstract** In this paper, the transmission characteristics and equivalent circuit model of microstrip transmission line having defected ground structure (DGS) in multilayer substrates are described for high frequency region. In order to perform the study, the second dielectric layer is attached additionally onto the bottom(ground) plane of the basic DGS microstrip line consisted of the microstrip line and DGS. The dielectric constant and thickness of the second dielectric layer are adjusted to get various transmission characteristics and model parameters, and to analysis the effect of the second dielectric layer ultimately. According to this paper, the effect and equivalent circuits due to the attached dielectric substrate are verified separately, and this is expected to be applied to high frequency circuit design in the future.

**Key words** : 결함접지구조, DGS, defected ground structure, 전송선로, transmission line, 다층기판, multilayer substrates

### 1. 머리말

마이크로파 전송선로에 일정한 구조의 주기구조나 결함구조를 넣으면 종래의 전송선로에서 볼 수 없는 새로운 전송특성을 얻을 수 있음이 널리 알려져 있다[1-4]. 표준형 전송선로는 이론적으로는 주파수 대역에 대한 제한이 없으므로 초광대역 특성을

또는 전대역 통과(all band pass) 특성을 갖는다. 그러나 주기구조(periodic structure)나 결함구조(defected ground)는 등가적으로 인덕턴스(inductance, L)나 캐패시턴스(capacitance, C)를 전송선로에 부가하기 때문에 이들 L-C에 의한 주파수 특성이 발생한다. 물론 등가적으로 저항(resistance, R)이 존재하지만, 손실에 주로 관여하고 주파수 특성에는 크게 기여하지 못하므로 보통 L-C에 의한 영향이 중요하게 된다.

이러한 주기구조에는 포토닉 밴드갭(photonic band gap, PBG) 형태의 주기구조와 결함접지구조(defected ground structure, DGS) 형태의 결함

이 논문은 2005년도 정부재원(교육인적자원부 학술연구조성사업비)으로 한국학술진흥재단의 지원을 받아 연구되었음.(KRF-2005-003-D00265)

<sup>1</sup>순천향대학교 정보기술공학부

\*교신저자: 임종식(jslim@sch.ac.kr)

구조가 대표적으로 제시되고 연구되었다[1,4]. PBG는 다수의 주기구조가 연속적으로 존재해야 한다는 문제가 제기되어 회로적 응용이 매우 제한적이라는 단점을 가지고 있다. 반면에 DGS는 등가적인 L-C가 매우 선명하게 분석되고 구조와 구현 방법이 간단하여 회로 응용에 매우 폭넓은 장점을 가지고 있다. 따라서 그동안 DGS를 활용한 마이크로파 회로 응용분야는 증폭기, 여파기, 전력분배기, 발진기 등 매우 다양하게 연구되어 왔다[5-8].

그동안 DGS를 활용한 전송선로와 회로응용은 주로 단층 마이크로파 기판을 이용하여 연구되어져 왔다. 그런데 관련 산업분야는 물론이고 학문적인 관점에서도 다층기판을 활용한 연구에 대한 필요성이 지속적으로 제기되어 왔다. 이는 마이크로파 회로의 소형화나 새로운 특성의 마이크로파 전송선로 구조의 제안으로 이어질 수 있는 공학적 의미를 지니고 있다.

이에 본 논문에서는 다층기판에서의 마이크로파 전송선로에 삽입된 DGS의 전기적 특성변화를 살펴보고자 한다. 그리고 종래의 단층기판에 구현된 마이크로스트립 전송선로와 DGS의 특성을 토대로 하여 제 2의 기판층(유전체층)을 적층한 다층 기판에 구현된 마이크로스트립 전송선로와 DGS의 특성을 제시하고자 한다. 이 논문을 통하여 간단한 등가회로 추출방법으로 제 2의 유전체 층에 의한 전기적 특성 변화와 등가회로 변화를 알아낼 수 방법에 관하여 기술하고자 한다. 또한 이를 통하여 향후에 초고주파 회로에 응용할 수 있는 기반을 구축하는데 일조하고자 한다.

## II. DGS의 구조와 등가회로

그림 1은 바닥의 접지면에 아령 형태로 식각된 결합 기저면 구조(Defected Ground Structure, DGS)를 갖는 마이크로스트립(Microstrip) 전송선로를 나타낸다. 종래의 표준형 마이크로스트립 전송선로는 1보다 큰 비유전율( $\epsilon_r$ )을 지니는 중간 유전체 기판층을 매개로 상부에 일정한 폭(W)을 지니는 전송선로와 바닥 접지면으로 구성된다. H는 유전체 기판층의 두께인데, W, H,  $\epsilon_r$ 이 특성 임피던스를 결정한다.

DGS는 가로 G, 세로 S인 사각형 모양의 2개의 결합 면적(defected area)과 이들 사이를 연결해주는 연결 슬롯(connecting slot)으로 구성된다. 연

결 슬롯의 폭은 그림 1에 Gap으로 표시되어 있다. 연결 슬롯의 길이는 편의상 본 연구에서 그림 1의 W와 같게 설정되어 있는데, 이렇게 하는 것이 일반적이다.

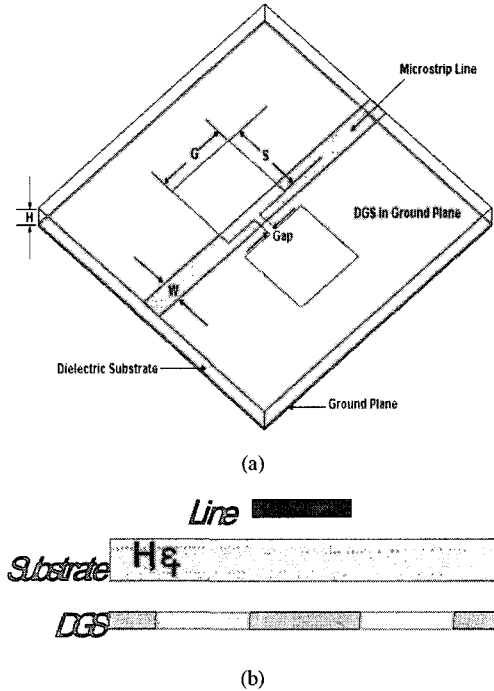


그림 1. (a) 아령형 DGS와 마이크로스트립 전송선로 (b) 옆 단면도

기본 단층 기판일 때 예로써  $\epsilon_r$ 이 4.6이고 두께(H)가 31mils(0.7874mm)인 기판에 대하여 G, S, W, Gap을 각각 5mm, 5mm, 1.4mm, 0.5mm로 취한 후, 이에 대한 전자기적(electromagnetic, EM) 시뮬레이션 결과로서의 전송특성을 그림 2에 표시되어 있다. 그림 2를 보면 저주파에서 통과특성을 보이다가 주파수가 높아질수록 차단 특성이 형성되고, 7GHz에서는 공진특성이 나타나는 것을 알 수 있다. 공진주파수에서는 임피던스가 무한대가 되므로 전송이 이루어지지 않아 차단 특성이 형성된다. 이와 같은 공진 특성은 전형적으로 L-C 공진 회로의 특성이다. 따라서 표준형 전송선로에 DGS가 삽입되면, 등가적으로 L-C 공진회로가 삽입된 것과 동일한 효과를 가져서 특정 대역에서의 차단 특성이 형성되고, 그 이하의 주파수 대역은 통과특성을 보이는 전형적인 저역통과(low pass) 특성을 보인다.

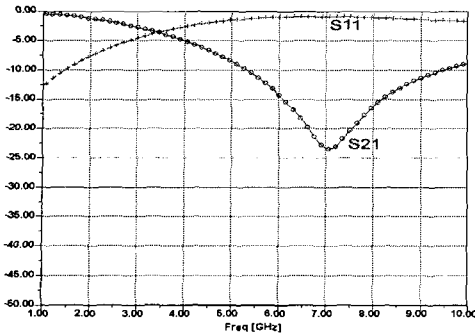


그림 2. 아령형 DGS가 결합된 마이크로스트립 선로의 전기적 특성

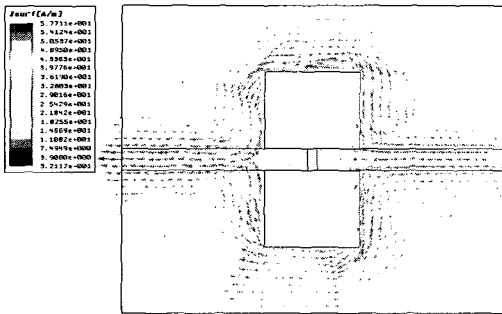


그림 3. DGS 주변에서의 전류 분포

그림 3은 DGS EM 시뮬레이션 결과가 보여주는 DGS 주변의 전류 분포도이다. DGS 외곽선 주변을 따라서 신호가 돌아가는데, 이로써 전기적 길이의 증가와 DGS 주변 외곽선에 의한 등가 인덕턴스의 증가를 예측할 수 있다. 한편 연결 슬롯에서 형성된 미약한 캐패시턴스로 인하여 DGS의 등가회로가 L-C 공진회로가 됨을 알 수 있는데, 이로써 그림 2에 보인 L-C 공진특성이 물리적으로 그리고 등가회로로 설명된다.

따라서 아령형 DGS 회로는 직렬 인덕턴스를 가지는 1단 저역통과여파기(low pass filter, LPF)에 7GHz에서 감쇠극이 형성되도록 병렬로 캐패시턴스가 연결된 구조로 등가회로를 설정하고 이를 그림 4와 같이 표시할 수 있다. 그림 4의 단위 아령형 DGS의 등가 L-C 공진회로의 리액턴스(reactance) (1)과 같다. 여기서,  $\omega_0 (=2\pi f_0)$ 는 등가 L-C 공진기의 공진주파수이다.

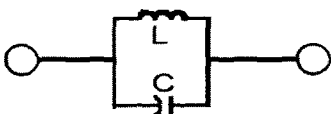


그림 4. 아령형 DGS의 등가회로

$$X_{LC} = \frac{1}{\omega_0 \left( \frac{\omega_0}{\omega} - \frac{\omega}{\omega_0} \right)} \quad (1)$$

이제 그림 4의 등가회로 소자값을 추출하는 과정을 살펴보기로 하자[6]. 특정 주파수에서 공진주파수와 3dB 차단 주파수(cutoff frequency)를 갖는 1단 공진기는 butterworth 원형(prototype) 1단 LPF로 모델링할 수 있다. 따라서 그림 4는 butterworth 원형(prototype) 1단 저역통과 여파기의 등가회로를 나타내는 그림 5와 등가이다. 그림 5에서  $g_0, g_1, g_2$ 는 원형 1단 저역통과 여파기의 소자값들이다. 이 회로의 리액턴스는 (2)와 같이 표현된다.

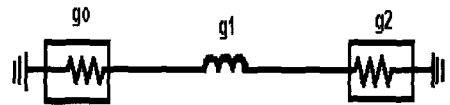


그림 5. Butterworth 원형 1단 저역통과 여파기의 등가회로

$$X_L = \omega' Z_0 g_1 \quad (2)$$

여기서,  $\omega'$ 는 정규화된 각주파수이며( $=1$ ),  $Z_0$ 는 입·출력 종단 임피던스이고( $=50\Omega$ ),  $g_1$ 은 Butterworth 원형 1단 저역통과 여파기의 소자값( $=2$ )이다.

그림 4의 DGS의 L-C 등가회로와 그림 5의 butterworth 원형 1단 저역통과 여파기의 등가회로는 3dB 차단주파수에서 등가이므로 (3)과 같이 두 회로의 리액턴스는 3dB 차단주파수( $\omega_c$ )에서 같아야 한다.

$$X_{LC} |_{\omega=\omega_c} = X_L |_{\omega=\omega_c} \quad (3)$$

위 식으로부터 등가 C는 (4)와 같이 구해진다.

$$C = \frac{\omega_c}{Z_0 g_1 (\omega_0^2 - \omega_c^2)} \quad (4)$$

이제 C를 구하였으므로 (5), (6)과 같은 공진주파수( $\omega_0$ )에서의 식을 이용하여 등가의 L을 구할 수

있다.

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (5)$$

$$L = \frac{1}{\omega_0^2 C} \quad (6)$$

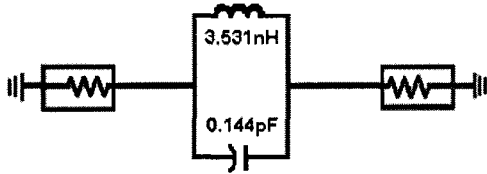


그림 6. 아령형 DGS의 추출된 L-C 등가회로

위 식들로부터 추출한 소자값으로 그림 2와 같은 특성을 보이는 아령형 DGS의 등가회로를 표현하면 그림 6과 같다.

위와 같은 과정으로 추출한 DGS의 등가회로 모델링 결과가 정확한지를 비교하기 위하여 추출한 등가회로의 전기적 특성을 회로 시뮬레이터(Circuit simulator)인 Agilent ADS(Advanced Design System)에서 시뮬레이션하였다. 그리고 그림 2에 기재시된 EM 시뮬레이션 결과와 비교하여 그림 7에 나타내었다. 모든 주파수 특성, 특히 3dB 차단 주파수와 감쇠극(공진주파수)이 서로 매우 일치하는 결과를 보여주고 있다.

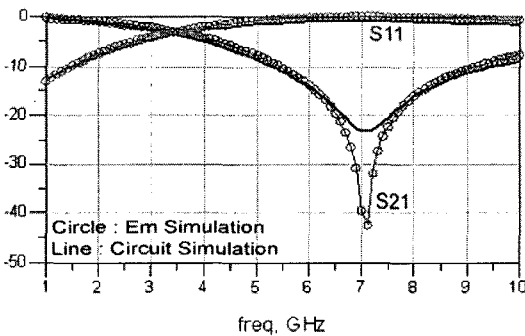


그림 7. EM 시뮬레이션과 L-C 등가회로 시뮬레이션의 결과 비교

그림 7을 보면 공진주파수에서 감쇠극의 깊이에서 다소 차이가 난다. 이것은 주파수만을 고려하고 전송손실을 고려하지 않아 생기는 차이로서, 주파수 특성에 비하여 중요도는 떨어진다. 이 부분까지 정확하게 모델링을 하려면 저항성분을 고려해야 한다.

저항 성분은 단자 임피던스( $Z_0$ )와 식 (7)을 이용하여 구할 수 있다. 이제 유도된 저항성분을 고려하여 DGS의 RLC 병렬 등가회로를 그려보면 그림 8과 같다.

$$R = \frac{2Z_0(1 - S_{21})}{S_{21}} \quad (7)$$

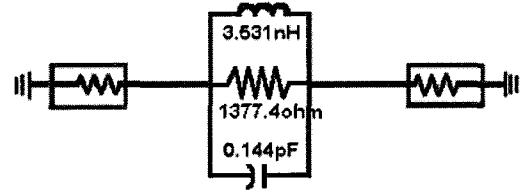


그림 8. 아령형 DGS의 추출된 RLC 등가회로

그림 9는 추출된 RLC 병렬 등가회로 소자값들을 이용하여 회로 시뮬레이터에서 그 전기적 특성을 확인하여 EM 시뮬레이션 결과와 같이 비교한 것이다. 주파수는 이미 L-C 등가회로 추출과정에서 정확하게 검증되었는데, 여기에서는 저항값에 의한 감쇠극의 깊이까지 정확하게 일치하고 있다.

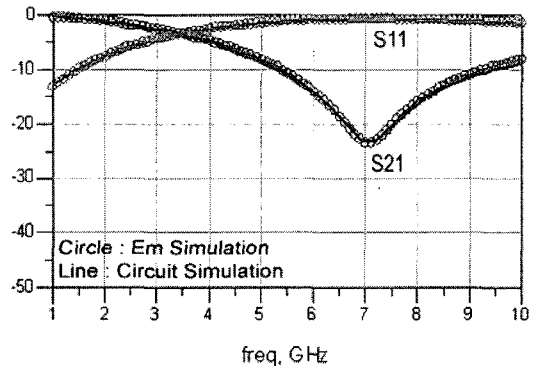


그림 9. EM 시뮬레이션과 RLC 등가회로 시뮬레이션의 결과 비교

### III. 적층 기판에서의 전송선로와 DGS의 특성

위에서 언급한 DGS에 의한 전송선로의 전기적 특성의 변화와, DGS의 등가회로 추출은 단층 PCB 기판으로 구성된 전송선로를 대상으로 이루어졌다. 이제 본 장에서는 제 2의 유전체 층을 그림 1의 기판 아랫면 또는 윗면에 적층한 구조에 대하여 전기적 특성을 살펴보고, 다층으로 적층했을 때의 전기

적 특성과 등가회로의 변화, 그리고 이를 이용하여 제 2의 유전체 층만의 등가회로를 구하는 방법 등을 논해 보기로 하겠다.

1. 유전율이 기본형과 다른 제 2유전체가 전송선로에 적층되어 다층을 형성한 경우

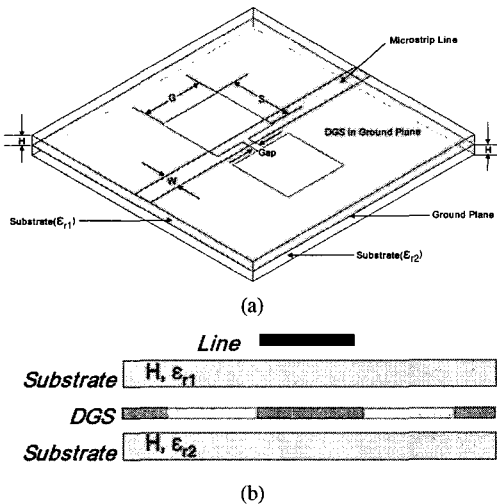


그림 10. (a) 두께는 같고 유전율이 다른 제 2의 유전체를 바닥면에 적층한 구조 (b) 옆 단면도

그림 10은 두께가 같으면서 유전율이 다른 제 2의 유전체가 그림 1의 단층 전송선로의 바닥면에 접합되어 다층기판을 형성한 경우를 보여주고 있다. 제 2유전체 층의 유전율에 따른 전송특성의 변화가 그림 11에 제시되어 있다. 여기에서 basic은 그림 2의 기본구조에 대한 특성이고, 제 2유전체의 유전율은 각각 2.2, 4.6, 10.2가 사용되었다. 그림 11에 제시된 경우에 대한 등가 회로값을 표 1에 정리하였다.

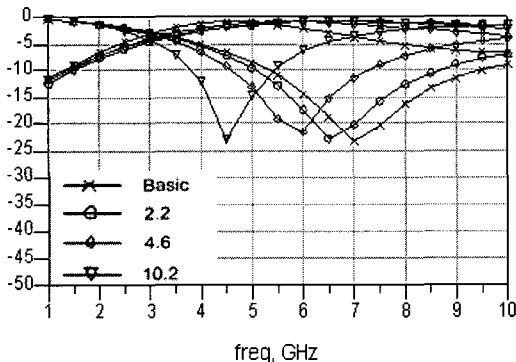


그림 11. 제 2유전체의 유전율 변화에 따른 전송특성의 변화

표 1. 유전율이 서로 다른 제 2 유전체를 단층 기판 하부에 적층했을 때 등가 RLC 값의 변화

	$\omega_0$ [GHz]	$\omega_C$ [GHz]	C [pF]	L [nH]	R [Ω]	비 고
기본형(단층) 기판 (그림 1, 그림 8)	7.07	3.44	0.144	3.531	1377	$\epsilon r(\epsilon r1) = 4.6$
제 2 유전체의 비유전율이 2.2인 경우	6.60	3.34	0.164	3.545	1339	$\epsilon r1=4.6,$ $\epsilon r2=2.2$
제 2 유전체의 비유전율이 4.6인 경우	5.83	3.17	0.211	3.536	1271	$\epsilon r1=4.6,$ $\epsilon r2=4.6$
제 2 유전체의 비유전율이 10.2인 경우	4.57	2.83	0.350	3.467	1432	$\epsilon r1=4.6,$ $\epsilon r2=10.2$

그림 11과 표 1에서 알 수 있듯이 아령형 DGS의 기본형 접지면 아래에 제 2의 유전체를 적층할 경우에, 적층한 유전체의 비유전율이 클수록 3dB 차단주파수와 공진주파수가 낮은 쪽으로 이동하는 것을 알 수 있다. 한편 등가 캐패시턴스의 경우에 비유전율에 비례하여 증가 추세를 보이고 있는데, 이것은 제 2 유전체를 DGS 아래에 적층함으로써 DGS 주변의 전자기 신호를 유전체 안에 저장하려는 유전체 고유의 특성에 기인하기 때문으로 분석된다. 물론 인덕턴스의 경우 적층한 유전체에 상관없이 DGS 외곽선이 일정하므로 거의 변화가 없음을 알 수 있다.

이제 다층 구성을 위하여 적층한 제 2유전체 층에 의한 등가회로의 변화를 살펴보자. 제 2유전체 층에 의한 등가회로의 변화는 곧 전송선로에 미치는 제 2유전체 층만의 효과이며, 다시 말하면 전송선로에 영향을 주는 제 2유전체 층의 등가회로라고 개념적으로 말할 수 있다. 그림 12는 표 1의 네 가지 데이터 중에서 예로써 제 2 유전체의 비유전율이 2.2인 경우에 대하여 추출한 등가회로를 도식적으로 보여주고 있다. 제 2 유전체를 적층한 이후에, 기본형으로부터 C는 0.143pF에서 0.164pF로 0.021pF가 증가했고, L은 3.531nH에서 3.545nH로 0.014nH 증가했고, R은 1377Ω에서 1338Ω으로 38Ω 감소하였다. 이를 알아보기 쉽도록 하기 위하여 그림 12에서 제 2 유전체에 의하여 변화된 등가회로 소자값 부분을 따라 사각형으로 표시하였다.

이처럼 등가회로의 변화가 있으므로 전자적 특성에 변화가 있는 것은 당연한 일이다. 특히 DGS 아래 부분이 기본형에서는 공기였으나 본 절의 적

층 구조에서는 제 2의 유전체이므로 전자기 신호의 손실이 줄어들어, 등가회로 소자값의 저항값이 당연히 감소한 것으로 나타난 것으로 보인다. 그림 12에서 보는 바와 같이 변화된 등가회로 소자값들을 분석, 표기할 때는 C값의 경우 기본형 등가회로에 병렬로 추가하고, R과 L의 경우에는 기본형에 각각 직렬로 연결하면 된다.

그림 13은 제 2유전체의 비유전율이 2.2인 경우에 대하여 그림 11에 보인 EM 시뮬레이션 결과와 변화한 등가회로 소자값들을 이용하여 회로적으로 시뮬레이션 한 결과를 같이 그린 것이다. 두 그림은 매우 잘 일치하는 결과를 보여주고 있다. 제 2유전체의 비유전율이 다른 경우에도 같은 방법으로 등가회로의 변화와 모델링 결과 및 정확성을 확인할 수 있다.

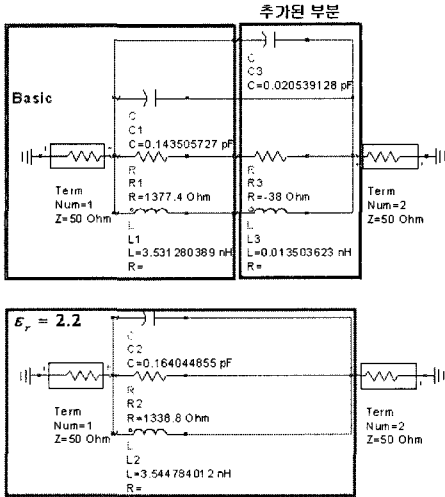


그림 12. 그림 11과 표 1에서 제 2 유전체의 비유전율이 2.2인 경우의 등가회로의 변화

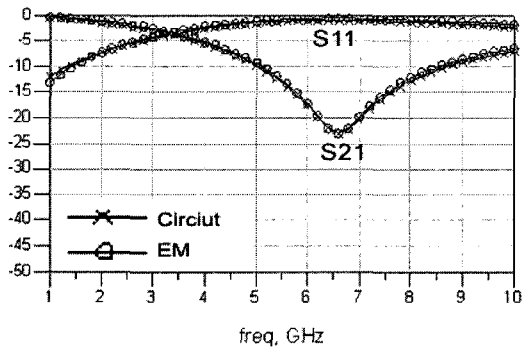
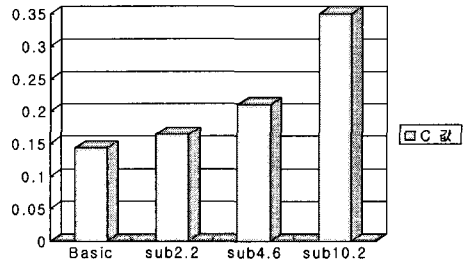


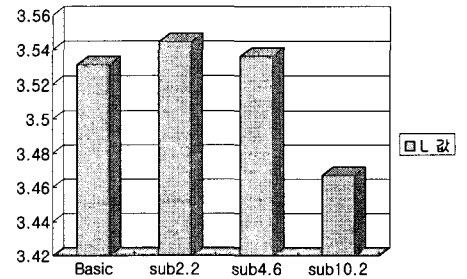
그림 13. 제 2 유전체의 비유전율이 2.2인 경우의 EM 시뮬레이션과 등가회로에 의한 회로 시뮬레이션 결과

그림 14는 표 1에 표시된 여러 가지 비유전율에 의한 등가회로의 변화를 보여주고 있다. 제 2유전체의 비유전율이 10.2인 경우에는 다소 등가 저항값이 증가하는 것을 알 수 있는데, 이는 다음과 같은 연유로 보인다. 제 2 유전체의 유전율이 기본형에 비하여 너무 높을 경우에 마이크로스트립 전송선로를 주변으로 전파되어야 하는 전자파 신호 에너지가 불필요하게 많이 제 2 유전체 층으로 끌려가게 되므로, 신호전달에 있어서 약간의 손실 증가분이 발생하고 따라서 이 부분이 곧 저항의 미약한 증가로 해석된다.

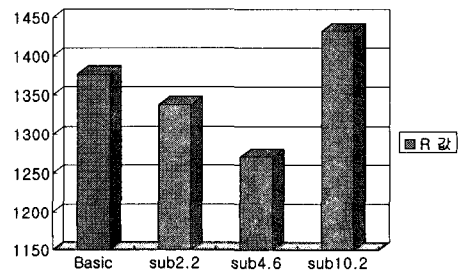
한편 제 2 유전체의 유전율이 기본형보다 매우 크므로 등가의 C가 크게 두드러지며, 이로 인하여 L은 등가적으로 약간 감소하게 보인다. 하지만 L값의 변동폭은 큰 의미를 가질만큼 크지 않으며, 오히려 C의 증가가 L값 변화보다 훨씬 우세한 요인 (dominant factor)이 되어 전송특성을 결정한다.



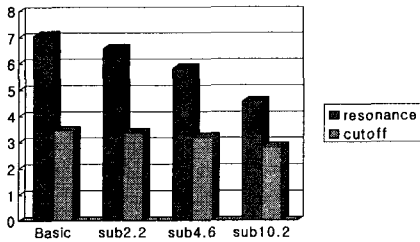
(a)



(b)



(c)



(d)

그림 14. 제 2 유전체의 유전율의 증가에 따른 변화 (a) 등가 C값의 변화 (b) 등가 L값의 변화 (c) 등가 R값의 변화 (d) 공진주파수와 3dB 차단주파수의 변화

## 2. 두께가 기본형과 다른 제 2 유전체가 전송선로의 바닥면에서 적층되어 다층을 형성한 경우

그림 15는 비유전율은 기본형 기판과 같고 두께가 다른 제 2의 유전체를 바닥면에 적층한 구조를 보여주고 있다. 이 경우는 편의상 같은 비유전율을 가정해야 하므로  $\epsilon r1 = \epsilon r2 = 4.6$ 로 고정하였고, 제 2 유전체의 두께(H2)를 기본형 두께(H1)의 정수 배로 변화시켰다. 각각의 경우에 대한 전자기적 시뮬레이션 결과는 그림 16과 같으며 등가회로 소자값은 표 2에 정리하였다. 또한 등가회로 소자값 변화의 추이를 그림 17에 정리하였다.

그림 16과 표 2에서 알 수 있듯이 아령형 DGS의 접지면 아래에 적층한 유전체의 두께가 두꺼울수록 3dB 차단주파수와 공진주파수가 낮은 쪽으로 이동하는 것을 알 수 있다. 등가 C의 경우에 제 2 유전체의 두께에 비례하여 내부 에너지 저장량이 늘어나므로 증가 추세를 보이고 있으며, 인덕턴스의 경우 큰 차이는 없는 것으로 확인되었다. 한편 제 2의 유전체에 의하여 전자기 신호의 손실이 줄어들어, 등가 저항값은 위와 마찬가지로 당연히 감소하였다.

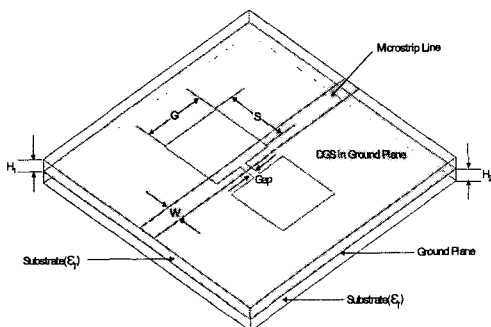


그림 15. 비유전율은 같고 두께가 다른 제 2의 유전체를 바닥면에 적층한 구조

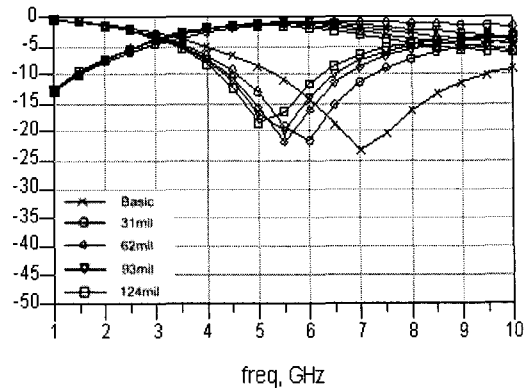
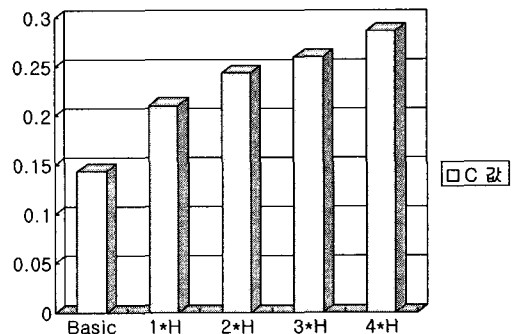


그림 16. 그림 14의 적층 구조에 대한 제 2 유전체의 두께 변화에 따른 전송특성 변화

표 2. 두께가 서로 다른 제 2 유전체를 단층 기판 하부에 적층했을 때 등가 RLC 값의 변화

	$\omega_0$ [GHz]	$\omega_C$ [GHz]	C [pF]	L [nH]	R [ $\Omega$ ]	비 고
기본형(단층) 기판 (그림 1, 그림 8)	7.07	3.44	0.144	3.531	1377	H1=31 mils
제 2 유전체의 두께가 31mils인 경우	5.83	3.17	0.211	3.536	1271	H2=H1
제 2 유전체의 두께가 62mils인 경우	5.50	3.13	0.244	3.438	1177	H2=2H1
제 2 유전체의 두께가 93mils인 경우	5.36	3.11	0.260	3.395	993	H2=3H1
제 2 유전체의 두께가 124mils인 경우	5.16	3.08	0.286	3.326	812	H2=4H1



(a)

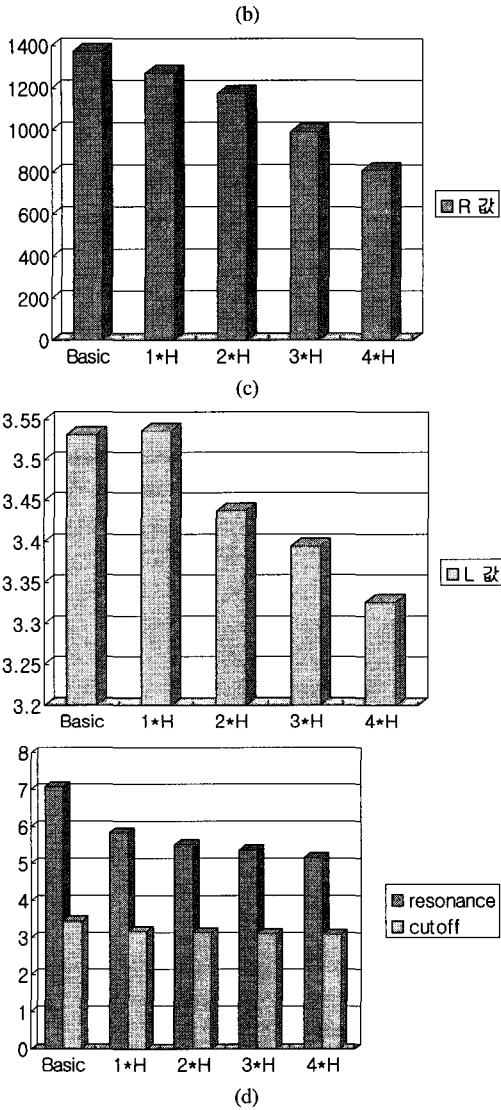


그림 17. 제 2 유전체의 두께 증가에 따른 변화 (a) 등가 C값의 변화 (b) 등가 L값의 변화 (c) 등가 R값의 변화 (d) 공진주파수와 3dB 차단주파수의 변화

#### IV. 맺음말

본 논문에서는 유전체가 적층된 다층기판에서 초고주파 전송선로와 이에 결합된 DGS의 특성을 살펴보고자, 마이크로스트립 선로와 결합된 DGS와 여기에 제 2의 유전체를 적층하여 다양한 특성 변화와 등가모델 추출에 관하여 기술하였다. 이를 위하여 본 논문에서는 우선 마이크로스트립 전송선로에 결합접지구조를

결합시킨 기본형의 구조와 특성을 먼저 살펴보고, 이어서 기본형의 접지면 아래에 비유전율이 서로 다른 제 2 유전체 층을 적층시킨 구조를 먼저 구성하고, 특성변화와 등가회로 추출에 대하여 살펴보았다. 이어서 서로 다른 두께를 지나는 제 2 유전체 층에 의한 특성변화와 등가회로 변화를 살펴보았다.

본 논문에서 언급한 등가회로 소자값을 추출하는 모델링 방법을 이용하여, 적층되는 제 2 유전체에 의한 전송특성 변화는 물론, 제 2유전체 층에서 기인한 등가회로 소자값의 기여분도 별도로 알 수 있다.

제 2의 유전체를 적층하여 다층으로 만든 후 전송특성을 관찰한 결과, 등가의 L은 거의 변화가 없는 반면 등가의 C는 유전율이나 그 두께에 비례하여 증가하였다. 또한 제 2유전체의 유전율이 기본형 기판의 유전율과 큰 차이가 없는 경우의 적층한 이후에 등가의 저항이 줄어드는 것을 알 수 있었다. 따라서 본 논문에서 제시된 적층구조를 초고주파 회로의 소형화와 전송 손실 개선에 응용할 수 있으리라 본다.

#### 참고문헌

- [1] V. Radisic, Y. Qian, R. Coccioli, and T. Itoh, "Novel 2-D Photonic Bandgap Structure for Microstrip Lines," *IEEE Microwave Guide Wave Letters*, vol. 8, no. 2, pp. 69-71, Feb. 1998.
- [2] Q. Xue, K. M. Shum, and C. H. Chan, "Novel 1-D Microstrip PBG Cells," *IEEE Microwave Guide Wave Letters*, vol. 10, no. 10, pp. 403-405, Oct. 2000.
- [3] Y. Qian, F. R. Yang, and T. Itoh, "Characteristics of Microstrip Lines on A Uniplanar Compact PBG Ground Plane," *1998 Asia-Pacific Microwave Conference Proceedings*, pp. 589-592. Dec. 1998.
- [4] Chul-Soo Kim, Jun-Seok Park, Dal Ahn, and Jae-Bong Lim, "A Novel 1-D Periodic Defected Ground Structure for Planar Circuits," *IEEE Microwave Guide Wave Letters*, vol. 10, no. 4, pp. 131-133, Apr. 2000.
- [5] Jong-Sik Lim, Jun-Seok Park, Young-Taek Lee, Dal Ahn, and Sangwook Nam, "Application of Defected Ground Structure in Reducing the Size of Amplifiers," *IEEE Microwave and Wireless Components Letters*, vol. 12, no. 7, pp. 261-263, July 2002.
- [6] D. Ahn, J. S. Park, C. S. Kim, J. Kim, Y. Qian,



and T. Itoh, "A Design of the Low-Pass Filter Using the Novel Microstrip Defected Ground Structure," IEEE Trans. Microwave Theory Tech., vol. 49, no. 1, pp. 86-93, Jan. 2001.

[7] Jong-Sik Lim, Sung-Won Lee, Chul-Soo Kim, Jun-Seok Park, Dal Ahn, and Sangwook Nam, "A 4:1 Unequal Wilkinson Power Divider," IEEE Microwave and Wireless Components Letters, vol. 11, no. 3, pp. 124 - 126, Mar. 2001.

[8] Young-Taek Lee, Jong-Sik Lim, Jun-Seok Park, Dal Ahn, and Sangwook Nam, "A Novel Phase Noise Reduction Technique in Oscillators Using Defected Ground Structure," IEEE Microwave and Wireless Components Letters, vol. 12, no. 2, pp. 39-41, Feb. 2002.

**오 성 민(Seong-Min Oh)**

[학생회원]



- 2006년 2월 : 순천향대학교 정보기술공학부 (공학사)
- 2006년 3월 ~ 현재 : 순천향대학교 대학원 전기공학과 석사과정

<관심분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용

**구 재 진(Jae-Jin Koo)**

[학생회원]



- 2006년 2월 : 순천향대학교 정보기술공학부 (공학사)
- 2006년 3월 ~ 현재 : 순천향대학교 대학원 전기공학과 석사과정

<관심분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용

**박 천 선(Chun-Sun Park)**

[학생회원]



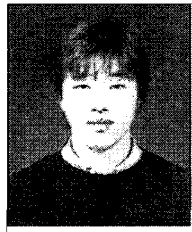
- 2001년 2월 ~ 현재 : 순천향대학교 정보기술공학부 4학년 재학중

<관심분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용

**황 문 수(Mun-Su Hwang)**

[학생회원]



- 2006년 8월 : 순천향대학교 정보기술공학부 (공학사)
- 2006년 9월 ~ 현재 : 순천향대학교 대학원 전기공학과 석사과정

<관심분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용

**임 종 식(Jong-Sik Lim)**

[정회원]



- 1991년 2월 : 서강대학교 전자공학과 (공학사)
- 1993년 2월 : 서강대학교 대학원 전자공학과 (공학석사)
- 2003년 2월 : 서울대학교 대학원 전기컴퓨터공학부 (공학박사)
- 1993년 2월 ~ 1999년 3월 : 한국전자통신연구원 위성통신기술 연구단, 무선방송기술연구소 선임연구원

- 2003년 3월 ~ 2003년 7월 : 서울대학교 BK21 정보기술사업단 박사후 연구원
- 2003년 7월 ~ 2004년 9월 : 특허청 특허심사관
- 2004년 9월 ~ 2005년 2월 : 한국전자통신연구원 디지털방송통신구단 전파기술연구그룹 선임연구원
- 2005년 3월 ~ 현재 : 순천향대학교 정보기술공학부 재직중

<관심분야>

초고주파 무선 회로/부품 설계, 능동/수동 소자 모델링 및 회로 응용, 주기 구조의 모델링 및 회로 응용

안 달(Dal Ahn)

[정회원]



- 1984년 2월 : 서강대학교 전자공학과 (공학사)
- 1986년 2월 : 서강대학교 대학원 전자공학과 (공학석사)
- 1990년 8월 : 서강대학교 대학원 전자공학부 (공학박사)
- 1990년 8월 ~ 1992년 2월 : 한국전자통신연구원 선임연구원
- 1992년 3월 ~ 현재 : 순천향대학교 정보기술공학부 교수

<관심분야>

RF, 마이크로파 수동소자 해석 및 설계