

SR

2006년도 IT SoC 주요 국책과제 분석

(Part C)

>> Special Report

본 Special Report에서는 정보통신부 IT839 차세대성장동력 사업중 IT SoC 분야의 2006년도 주요 선도과제에 대하여 분석된 내용을 다루었다. (본 내용은 IT SoC 신규과제 기획내용 중 기술분석과 관련된 부분을 발췌함) '게임기용 MPU, 3D 그래픽프로세서' 등 4개 분야에 대해 테마별 목표 및 요소기술, 기술확보 전략 등을 다음과 같은 순서로 기술 하였다.

- I. 게임기용 MPU, 3D 그래픽 프로세서
- II. 지능형 로봇 시청각 신호처리 SoC
- III. 유비쿼터스용 CMOS 기반 MEMS 복합센서
- IV. 고성능 초소형 SiP(System In Package)

2006년도 IT SoC (Part C)

주요 국책과제 분석

장선호 기술역·공학박사_chans@iita.re.kr, 이민경 연구원_jeemk@iita.re.kr, 이상호 연구원_shlee@iita.re.kr

임문혁 연구원_mhyim@iita.re.kr, 김대중 연구원_djkim798@iita.re.kr / IT SoC 및 부품 전문위원실, 정보통신연구진흥원(IITA)

김재준 사무관/공학박사_jjkim@mic.go.kr / 산업기술팀, 정보통신부

1. 게임기용 MPU, 3D 그래픽 프로세서

1. 개요

최근의 휴대용 멀티미디어 기기는 고성능 3D, 동영상 재생, 오디오 재생, 디지털 방송수신, 위치기반 서비스(LBS), 근거리 무선통신(WPAN), 무선전화, 휴대인터넷 등 무수히 많은 기능을 지원하는 추세이다. 기존의 휴대용 게임기는 게임 플레이를 위주로 수요가 발생하였으나 PSP 이후 모든 게임기는 멀티미디어 기능이 추가되는 추세이다. 이렇게 컨버전스의 견인 역할을 하는 주체가 게임이 되었고 이에 따른 기술수요가 발생하게 되었다. 게임용 멀티미디어 SoC를 구성하는 요소는 크게 MPU, 3D 그래픽스, 오디오/비디오 코덱, 무선통신 등으로 구성된다.

휴대용 게임기에서 호스트 역할을 하는 MPU는 최근 일반 MPU 기능 이외에 게임적인 요소를 지원하기 위해 특화된 게임 전용 MPU가 등장하는 추세이다. 휴대용 게임기의 대표적인 성공모델인 PSP는 자체적으로 개발한 게임전용 MPU를 사용하고 있으며 Xbox360과 PS3도 각각 IBM의 Xbox 전용 IP와 PowerPC의 Cell processor를 이용하여 게임전용 MPU를 개발하고 있다.

3D 게임을 지원하기 위하여 소프트웨어 방식 또는 하드웨어 방식의 3D 가속칩이 필요하다. 기존의 소프트웨어 방식은 미래의 3D 콘텐츠를 지원하기에 성능이 현저히 부족하며 현존하는 하드웨어방식의 3D 가속칩도 성능이 부족한 현실이다. 이에 각 휴대용 게임기 회사는 고성능 3D 가속칩 개발을 위하여 ATI, nVidia와 같은 3D 가속칩 전문업체와 공동으로 고성능 가속칩 개발에 박차를 가하고 있다. 향후 휴대용 게임기 및 폰에서는 초당 1천만 폴리곤 이상을 처리하는 3D 그래픽스 가속칩이 범용적으로 요구될 상황이다.

휴대용 게임기 및 폰의 MPU는 현재까지 400~600MHz 이상을 넘지 못하여 게임 프로세싱을 소프트웨어적으로 처리할 경우 고성능 게임에서

요구하는 30 fps의 성능을 낼 수 없다. 소프트웨어적으로 처리되는 알고리즘들에서 공통으로 사용되는 연산을 MPU의 instruction/DSP로 구현하여 속도를 높일 수 있다. 이와 같은 Application Specific Extension (ASE) User Defined Instruction(UDI)를 지원하는 게임 MPU는 속도 면에서 일반 MPU에 비해 매우 높은 성능을 발휘하며 고성능 게임을 지원할 수 있다. 게임 프로세싱에 쓰이는 소프트웨어 알고리즘 중에 MPU instruction으로 구현이 가능한 것들은 다음과 같다.

- Physics - collision detections
- 3D CG preprocessing - bone animation, frustum culling, etc.
- 3D positional sound - doppler effects
- Networking - data packet encoding/decoding

각각의 기능을 ASE/UDI를 이용할 수 있게 할 경우 게임 동작 시 속도의 향상과 전력소모의 감소를 가져 올수 있어 게임기의 전반적인 경쟁력을 향상시킨다. 국내 기술은 주로 멀티미디어 SoC에 치중되어 있으며 MPU에는 축적된 기술이 부족하다. 반면 최근 임베디드 시스템 시장의 활성화로 다양한 micro controller와 micro processor가 요구되는 상황이다.

모든 게임기에 필요한 핵심기술로 향후 모바일 폰, 포터블 게임기, Media player (PMP/MP3, etc), DTV Settop등 모든 컨버전스 기기에 필수적으로 사용이 될 전망이다. 국내 여러 SoC 기업들이 최근에 해외업체의 IP를 도입하거나 자체기술로 제품개발을 시도하고 있으나 아직 ATI와 nVidia 제품에 비해 경쟁력이 크게 떨어지고 있다. 또한 Imagination의 PowerVR SGX, Falanx의 Mali 2.0, Bitboys의 G40과 같은 IP core에 비해서도 국내 제품은 큰 기술격차를 보이고 있다.

2. 기술개발 목표 및 요소기술

가. 상세 동향분석

1) 표준화 현황

주요 내용	
Game MPU	<p>데스크톱에서는 x86, 휴대기기에서는 ARM, MIPS와 같은 프로세서가 각 시장 세그먼트에서 사실상의 업계 표준이 되어 있음. 따라서 후발 프로세서 업체들은 들어가고자 하는 시장에 널리 사용되는 프로세서와 명령어 체계의 호환성을 되도록이면 지키고자 함.</p> <p>- ARM : 영국 ARM사로부터 소프트IP, 또는 하드IP 형태로 라이선스를 받으며 프로그램 개발환경으로 ARM사가 제공하는 것을 사용함. 인텔은 소프트IP로 라이선스를 받아 자체 기술로 최적화하여 StrongARM을 자체 개발하였으며 이를 XScale 제품 시리즈로 PDA, 액세스 네트워크용으로 업체가 사용하도록 하고 있음.</p> <p>- MIPS : 성능은 같은 동작속도에서 ARM보다 우수한 성능을 나타낸다고 알려져 있으나 국내에서는 MIPS 프로세서 기반의 SoC를 잘 사용하지 않음. 국내는 저전력에 강점을 지닌 것으로 알려진 ARM을 사용하는 업체가 많음. Broadcom이 네트워크용 프로세서로 MIPS의 소프트IP를 라이선스 받아 SoC 제품을 개발하고 있음.</p> <p>- x86 : 인텔이 원천기술을 갖고 있고 전 세계 데스크톱을 평정한 프로세서임. 본 기술을 라이선스하지는 않으나 명령어가 호환되는 프로세서를 AMD, Transmeta (Crusoe 프로세서), Via가 제품으로 내놓고 있음. 2005년 하반기에 인텔이 모바일 x86 기치를 내걸고 멀티미디어 기능에 ARM, MIPS보다 강한 x86 저전력 프로세서를 발표하고 있음.</p> <p>MPU에 게임전용 명령어를 추가하는 것은 표준화가 진행되지 않고 있으며 향후 표준화가 추진되어야 할 부분으로 남아있음</p>
GPU	<p>- Khronos OpenGL ES : OpenGL ES는 데스크탑 및 워크스테이션에 사용되는 표준 2D/3D 그래픽 API인 OpenGL의 subset으로 임베디드 장비를 위한 3D 그래픽 API임. 현재 모바일 산업 전반에 확산되어 사실상 국제표준으로 자리잡고 있음.</p> <p>- DirectX mobile : MS사의 DirectX의 임베디드 버전으로 모바일 산업에 확산이 더디게 진행되고 있으나 DirectX 기반 콘텐츠의 다양화로 한 순간 표준화가 확산될 가능성이 풍부함.</p>

2) 주요 이슈

주요 내용	
Game MPU	<p>좋은 프로세서 IP가 라이선스 등을 통해 많은 Fabless 업체들이 SoC에 뛰어들 수 있는 산업환경이 만들어 졌음. 이제부터는 이러한 프로세서를 자기 것으로 소화하여 시장에서 앞서나갈 수 있는 차별화를 만드는 것이 관건이 됨. 우리 나라는 모바일 기기용 SoC를 최적화 개발할 수 있는 협력업체들이 있고, 삼성, LG, 팬텍&큐리텔, VK, 아이리버, 엠피오 등 시장을 주도하는 마켓 리더가 더불어 경쟁력을 키우고 있음.</p>
GPU	<p>국제적으로 3D 및 multimedia API 표준화 작업이 활발하게 진행되고 있음. Khronos Group은 embedded device를 위한 3D API 표준인 OpenGL ES와 Audio/Video API 표준인 OpenMAX를 개발하고 있으며 매우 많은 국내외 기업이 회원사로 참석하고 있음. Sony PS3가 OpenGL ES 2.0을 지원할 것을 발표하면서 게임시장에서 Khronos Group의 3D를 포함한 멀티미디어 표준이 확고한 자리를 확보하며 산업 활성화에 큰 역할을 하고 있음. 이러한 표준은 멀티미디어 콘텐츠 제작에 막강한 영향력을 미치며 콘텐츠 제작 및 유통에 활성화를 유발하고 이에 따른 칩의 수요를 증가시키고 있음. 3D, 오디오, 비디오 뿐 아니라 게임 사운드, 카메라 등 컨버전스 서비스에 필요한 전반적인 디바이스에 대한 표준을 진행하고 있음.</p>

3) 특허 현황

주요 내용	
Game MPU	<p>- x86, ARM, MIPS 프로세서 설계관련 특허</p> <p>- 설계 아키텍처</p>
GPU	<p>Mobile 3D Graphics 기술은 현재 Khronos Group의 OpenGL ES, Nokia의 JSR184가 존재함. 두 기술 모두 스펙에 대한 로열티는 무료</p>

4) 기술수준

세부분야	기술수준		최고기술 보유국	중요도 가중치(%)	판단사유 및 근거	
	격차(년)	상대수준(%)				
Game MPU	Core & Architecture	3	30	미국	20	양산중인 제품 성능비교
GPU	Fixed Pipeline	1	80	미국	10	양산중인 제품 성능비교 (QVGA 1M polys/sec)
	Programmable Pipeline	1	60	미국	20	개발제품 목표성능 비교

5) 산업화 역량

주요 내용	
Game MPU	<p>- 한국이 네트워크 및 모바일 강국으로 떠오르고 전세계 IT산업의 전초기지가 되면서 이 분야에 역량있는 대기업과 중소기업이 국내에 생겨남. 이들 업체는 휴대폰, MP3 플레이어 업체들로서 이들이 IT 한국의 정보통신 제품을 전세계에 수출하고 있음. 이들 정보기전 기기에 들어가는 핵심 부품으로서의 MPU 프로세서 개발은 이들 선도업체들로부터 시장에서 승리할 수 있는 제품 스펙과 요구되는 기술을 도출할 수 있는 여건이 됨. 역량있는 SoC 개발 업체로 하여금 차세대 모바일용 MPU 프로세서를 만들도록 업체와 기술을 발굴할 필요가 있음.</p>
GPU	<p>- 산업화 측면 : 데스크탑용 GPU는 기능면에서 매우 복잡한 뿐만 아니라 6개월 주기로 새로운 기능이 추가되는 현실임. 따라서 후발업체가 기술적 완성을 달성하기 매우 힘들. 반면, 모바일 분야에서는 시장형성이 아직 미비하여 적극적인 기술개발이 이루어지기 힘든 추세임. 또한 기존 GPU 업체는 주로 데스크탑에서 고성능을 추구하였으나 모바일 환경에서는 고성능에 저전력이 중요한 이슈이므로 기술 장벽이 전혀 없는 것은 아님. 따라서, 향후 2~3년간은 후발업체가 추월할 수 있는 여유가 있음.</p> <p>- 마케팅 측면 : 모바일 SoC 분야에서 국내 몇몇 벤처기업이 눈부신 활약을 펼치고 있음. 이 기업들의 멀티미디어 기술이 국내의 단말기 제조사에 인정을 받고 있음. GPU가 독립적으로 존재하기보다 멀티미디어와 통합되는 추세이므로 쉽게 마켓에 접근할 수 있음.</p>

나. 기술개발 목표

제품 및 서비스 실현 목표	경제적 · 기술적 목표
MPU	<p>- 휴대용 게임기, PDA, PMP 등 휴대단말기에서 사용할 수 있는 프로세서를 개발하여 상품화함. 400MHz 이상의 성능을 구현하여 세계 MPU 시장에 진입함. Core를 자체개발 하기보다는 기존의 Core (ARM, MIPS, X86 등) IP 라이선싱을 통해 빠른 시간 안에 상품적 가치가 있는 제품을 개발함.</p> <p>- 특히 Application Specific Instruction (DSP) 또는 User Defined Instruction (UDI)를 추가하여 Intel의 MMX와 동일한 경쟁력을 확보함.</p> <p>- 과제완료 후에 멀티미디어 기능을 추가하여 멀티미디어 프로세서로 개발 및 상품화 할 수 있는 기술개발을 목표로 함.</p> <p>- 1차년도 제품은 연구개발용으로, 2차년도 제품은 상품화를 목적으로 함.</p>

GPU	- 향후 범용화 될 것으로 전망하고 있는 핸드폰에서의 3D 기능을 지원할 수 있는 SoC 개발을 목표로 함.
	- 휴대용 게임기에 적용할 수 있는 고성능 GPU 개발을 목표로 함.
	- RISC 프로세서를 탑재하여 coprocessor 뿐 아니라 standalone으로도 사용할 수 있게 함. 이는, GPU를 호스트로 사용할 수 있게 하는 것으로 MPU 개발을 통해 획득한 기술을 공유할 수 있게 함.
	- Programmable pipeline을 구현하여 nVidia, ATI와 동등한 세계 정상의 경쟁력을 갖추.
	- 1차년도 제품은 핸드폰에 적용하기 위한 상품화를 목적으로 함. 2차년도 제품은 휴대용 게임기와 같은 고성능 기기에 적용하기위한 상품화를 목적으로 함.
- 국내 3D 기술을 리드하며 세계시장에 3년 이내에 진입함.	

다. 핵심요구기능 및 발전전망

1) 핵심요구기능

핵심요구기능 (CSR)	정의	선택사유	
MPU	Processor Architecture	프로세서 구조와 명령어 체계의 호환성	기존 소프트웨어를 사용할 수 있어야 빠른 시간에 시장진입이 가능하기 때문임
	고속처리	동작속도	동작속도가 높아야 경쟁력이 있음
	ASE/UDI Extension	3D 게임 및 멀티미디어 처리를 위한 확장 기능	확장기능을 통해 3D 및 멀티미디어를 빠르게 처리해야 타 제품에 비해 경쟁력이 있음
GPU	Multi-Threading	다중처리 기능	다중처리가 가능해야 최근에 요구되는 휴대단말기의 기능을 지원할 수 있음
	Fixed Pipeline	고정 파이프라인으로 기본 하드웨어 구성요소	현재 게임폰 및 모든 게임기에 사용되는 GPU의 기본기능임
	Programmable Pipeline	프로그램 가능한 파이프라인으로 최근 고사양 게임 콘텐츠에서 요구되는 기능	데스크탑 PC에서 범용화된 기능으로 휴대용단말기에서도 요구되는 추세임
	Extension	확장기능	확장기능 지원여부에 따라 경쟁력이 결정됨

2) 발전전망

■ MPU

핵심요구기능 구성요소	2005	2006	2007	2008	2009	2010	2011	2012
Processor Architecture	← 32bit x86, ARM, MIPS →		← 64bit 프로세서 아키텍처 →					
고속처리	← 200MHz ~ 600MHz →			← 600MHz ~ 2GHz →				
ASE/UDI Extension	← 오디오/비디오 처리 →		← 3D/Physics 처리 →			← AI 처리 →		
Multi-Threading	← S/W 방식 →		← H/W 방식 5 thread 이상 지원 →					

■ GPU

핵심요구기능 구성요소	2005	2006	2007	2008	2009	2010	2011	2012
Fixed Pipeline	← IP 도입 →				← 데스크탑 용 고성능 IP 개발 →			
	← IP 자체개발 →							
Programmable Pipeline	← IP 도입 →				← 데스크탑 용 고성능 IP 개발 →			
	← IP 자체개발 →							
Extension	← 3D 그래픽 확장기능 →		← 게임 전반적 확장기능 (3D 사운드, Physics) →				← Networking, AI 확장기능 →	

라. 시장진입 및 육성전략

서비스 대상 및 범위 (최종제품 예상형태)	시장진입시기	시장진입 및 육성전략
MPU	2008	- 휴대형 단말기 set maker 대상 마케팅 - Architecture(x86, ARM, MIPS) 전문 업체와 협력모델 구축 - 교육용 보드 개발 및 보급
GPU	2007	- 핸드폰 및 모바일 컨버전스 디바이스 대상 마케팅 - 해외 (북미, 유럽, 아시아) 중·저가 시장 공략 - 표준화에 적극 참여하여 S/W 플랫폼과 호환성 유지 및 협력모델 구축

마. 핵심요구기능 목표수준(Performance Target)

핵심요구기능 구성요소	2005	2006	2007	
MPU	Processor Architecture	32bit RISC	32bit RISC	32bit RISC
	고속처리	200MHz	400MHz	400MHz
	ASE/UDI Extension	x	오디오 처리가능	비디오/게임 전처리 기능
GPU	Multi-Threading	S/W	H/W 5 threads	H/W 5 이상
	Fixed Pipeline	1M PPS	4M PPS	10M PPS
	Programmable Pipeline	x	1M PPS	4M PPS
	Extensions	x	S/W audio/physics 처리기능	H/W audio/physics 처리기능

바. 요소기술 및 목표수준

1) 기술영역별 요소기술

기술영역		관련 요소기술
MPU	Processor Architecture	프로세서 아키텍처 기술
	고속처리	pipelining 기술, 고집적 기술
	ASE/UDI Extension	DSP, 프로세서 설계기술
	Multi-Threading	프로세서 설계기술
GPU	Fixed Pipeline	pipelining, geometry processing, floating point unit, memory bus, pixel processing
	Programmable Pipeline	pipelining, geometry processing, floating point unit, memory bus, pixel processing, Shader 설계기술
	Extensions	fixed pipeline 기술과 동일
공통기술		저전력, 고집적 SoC 설계기술

2) 요소기술별 목표수준

핵심요구기능 구성요소		2005	2006	2007
MPU	Processor Architecture	32bit RISC	32bit RISC	32bit RISC
	고속처리	200MHz	400MHz	400MHz
	Pipelining	5 stage 이상	5 이상	6 이상
	Multi-Threading	S/W	H/W 5 threads	H/W 5 이상
GPU	Fixed pipeline	1M PPS	4M PPS	10M PPS
	Programmable pipeline	x	1M PPS	4M PPS
	Floating Point Pipeline	x	32bit	32bit
	고속처리	100MHz	100MHz	200MHz

3. 기술분석 및 기술확보 전략

가. 기술분석

1) 특허분석 및 대응전략

기술영역	요소기술명	특허현황	시사점 및 대응전략
MPU	Processor Architecture	x86, ARM, MIPS 산업 특허	아키텍처 라이선싱을 통한 특허로 지불
	고속처리기술	IP 특허	라이선싱을 통한 특허로 지불
	Pipelining	IP 특허	라이선싱을 통한 특허로 지불
	Multi-Threading	IP 특허	라이선싱을 통한 특허로 지불

GPU	Fixed Pipeline	기술 표준에 대한 특허는 없으며, 구현 기술에 대한 특허는 기초 단계임	표준 기술에 대한 특허로는 없으며 구현 기술에 대한 특허는 보유 특허로 대응.
	Programmable Pipeline	기술 표준에 대한 특허는 없으며, 구현 기술에 대한 특허는 기초 단계임	표준 기술에 대한 특허로는 없으며 구현 기술에 대한 특허는 보유 특허로 대응.
	Floating Point Pipeline	국내외 특허 다수	모바일 구조에 최적화된 기술에 관한 특허 출원이 늘고 있는 추세 자체 특허 확보를 통해 기술보호 및 특허분쟁 해소
	고속처리기술	국내외 특허 다수	모바일 구조에 최적화된 기술에 관한 특허 출원이 늘고 있는 추세 자체 특허 확보를 통해 기술보호 및 특허분쟁 해소

2) 기술역량 및 경쟁력 분석

기술영역	요소기술명	기술수준		최고기술 보유국	판단사유 및 근거
		기술격차(년)	상대적수준(%)		
MPU	Processor Architecture	3년	50%	미국	x86, ARM, MIPS와 국내 processor 비교
	저전력고속기술	3년	50%	미국	
	Pipelining	3년	50%	미국	
	Multi-Threading	3년	50%	미국	
GPU	Fixed Pipeline	1년	80%	미국	nVidia, ATI, PowerVR 등 양 산제품과 국내 제품비교
	Programmable Pipeline	2년	70%	미국	
	Floating Point Pipeline	1년	80%	미국	
	저전력고속기술	1년	80%	미국	

3) 기술의 특성 및 파급효과

기술영역	요소기술명	기술성숙도	기술단계 (기초, 응용, 개발)	파급효과
MPU	Processor Architecture	30%	기초	MPU 관련기술 확보 및 신규 비즈니스 기회 창출
	저전력고속기술	30%	기초	
	Pipelining	30%	기초	
	Multi-Threading	30%	기초	
GPU	Fixed Pipeline	90%	응용	GPU 관련기술 확보 및 MPU 기술 확보에 시너지 효과 발생 다양한 제품에 응용 가능한 범용기술 SoC 전반적인 기술 확보
	Programmable Pipeline	70%	개발	
	Floating Point Pipeline	90%	응용	
	저전력고속기술	90%	응용	

나. 요소기술 확보전략

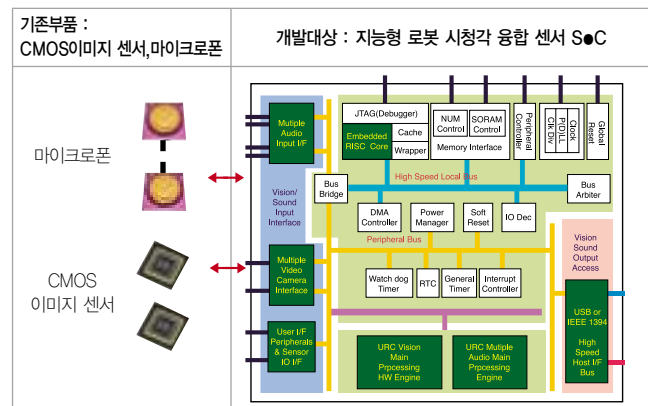
1) 기술확보방법

기술 영역	요소기술명	기술확보내용	기술확보 방법 및 전략	판단사유
MPU	Processor Architecture	32bit architecture	IP licensing	3년 내 시장 진입 목표
	저전력고속기술	저전력 고성능 SoC 기술	IP licensing	
	Pipelining	5 stage 이상	IP licensing	
	Multi-Threading	5개 thread 이상	IP licensing	
GPU	Fixed Pipeline	Geometry processing Pixel processing	자체개발	- 단시간 기술 확보 가능
	Programmable Pipeline	Vertex shader Fragment shader	자체개발	
	Floating Point Pipeline	24~32bit	자체개발	- 기 확보 상대 기술 다수
	저전력고속기술	저전력 고성능 SoC 기술	자체개발	

지능형 서비스로봇 기술은 로봇 상용화에 걸림돌이 되었던 고연산, 고속, 대용량 신호처리 기능을 서버 (Remote Brain)로 분산하여, 로봇 단말의 가격을 혁신적으로 내리고, 제공하는 서비스를 다양화하여 국내 신성장 산업으로 집중 육성하는 전 세계 최초의 시도이다. 초고속망을 정보전달 매체로 활용하는 지능형로봇의 서버 (Remote Brain)가 갖는 주 기능 (Main Function)은 비전 및 음향 정보를 활용하여 로봇에게 눈과 귀의 기능을 부여하고 고도의 지능을 제공하는 것이나, 로봇에 직접 접속되는 액세스 네트워크 (무선 LAN, PAN)을 통해 수백 Mbps급의 대용량/고속 다채널 비전 및 음향 정보를 전송할 수 있는 방법은 현재 존재하지 않는다.

지능형 로봇 센서 융합은 Remote Brain의 기능을 최대한 활용하기 위해, 로봇 단말이 수집한 핵심정보를 신호 처리 후, 수 Mbps 이내로 Scalable하게 압축하여, 서버에게 시각 및 청각 필수 정보만을 선별하여 보내는 소자로 지능형 로봇 사업의 상용화에 필수 부품이며, 시청각센서 융합 음원을 활용한 위치인식 및 추적, 자기위치 인식기술을 개발하여 그 실용성을 검증한 뒤, 이를 국내 로봇개발 및 생산업체에 제공하여 지능 로봇의 실용성을 획기적으로 제고할 필요성이 있다.

〈그림 1〉 지능형 로봇 시청각 센서 융합 센서 모듈 구성



II. 지능형 로봇 시청각 신호처리 SoC

1. 개요

가. 개념 및 정의

시청각 센서(카메라, 초음파 센서, 마이크로폰 등)를 사용하여 음원 인식 후 자율 주행이 가능한 지능형 로봇을 위한 저가격의 System-on-a-Chip(SoC)으로, 음원파악으로 주의집중 후, 비전으로 위치 인식 및 자율 주행을 통하여 로봇에게 다양한 지능형 서비스를 저렴하게 제공하는 지능형 로봇 공통 핵심부품 기술이다. 네트워크 기반 지능형 로봇의 시각확보용 CMOS 이미지 센서, 청각 확보용 마이크로폰과 이 센서들의 핵심 신호처리를 가능하게 하는 SoC를 포함한 결합된 지능형 로봇 시각 및 청각 융합 센서 모듈 개발을 포함한다. (그림 1)

나. 필요성

시각 및 청각은 지능형 로봇(URC : Ubiquitous Robotic Companion) 기능의 다양화 및 상용화, 상품화를 위한 핵심 필수 기능이며, 이 중 국내 기술로 저가화로 개발 완료되어 판매되고 있는 CMOS 이미지 센서와 마이크로폰은 기존의 기술을 활용한다. 서비스 로봇의 주행경로 안내/추적 기능을 위해 국제적으로도 개발 경쟁력이 있는 로봇의 시각 및 청각인식을 위한 핵심 신호처리 SoC를 선택하여 집중 개발하는 것이 필요하다.

2. 연구목표 및 내용

가. 최종 목표 및 내용

1) 최종 목표

- 자율 주행 및 주의 집중을 위한 시청각 센서 융합형 저가격 SoC 기술 개발
 - 센서 인터페이스 블록 개발
 - 음원 인식 엔진 개발
 - Depth Map 엔진 개발
 - 시청각 신호 특징 추출 엔진 개발
 - 센서 융합 기반 위치 추정 엔진 개발
 - 고속 네트워크 인터페이스 블록 개발
 - 시청각 센서 융합 기반 주의집중 엔진 개발

- 지능형 로봇 시청각 신호처리용 SoC 검증 모듈 개발
 - 저가의 상용 CMOS 이미지 센서, 초음파, 마이크로폰과 시청각 융합 SoC를 결합한 검증 모듈 개발

2) 확보기술 내용

- 자체개발 기술
 - 센서 인터페이스 블록 개발
 - 음원 인식 엔진 개발
 - Depth Map 엔진 개발
 - 시청각 신호 특징 추출 엔진 개발
 - 센서 융합 기반 위치 추정 엔진 개발
 - 고속 네트워크 인터페이스 블록 개발
 - 시청각 센서 융합 기반 주의집중 엔진 개발
- 기존기술 활용
 - Embedded RISC Core 및 주변기기, Platform 기술
 - CMOS 이미지 센서, 마이크로폰 센서, 초음파 센서 활용 기술

구분	주요기능
시청각 전 처리 (Pre-processing)	- Multiple video/sound input interface - Stereo video input frame rate drop, image resolution scale-down, filtering, decimation - Stereo input video synchronization & multiplexing
시청각 주 처리 (Main processing)	- Stereo vision matching (disparity map, depth map) - Pre-filtered input raw video path-thru - Multiple input sound pitch processing - Sound activation & silence duration processing
시청각 후 처리 (Post-processing)	- Processed vision/sound output processing & control logic - Output vision/sound multiplexing & synchronization - Vision/sound I/O handshaking protocol - Vision/sound information transmission control - Vision/sound high speed host interface

- SoC Core Peripherals 개발
- 실시간 SoC IP FPGA Emulator 개발
- Embedded RISC Core와 핵심 IP 통합된 SoC
- 개발한 SoC를 활용한 지능형 로봇 시청각 융합 센서 검증 모듈
- 기존기술 활용
 - Embedded RISC Core 및 Wrapper, Common Bus I/F, EMI, Interrupt Controller, RTC, WDC 등의 기본적인 RISC 관련 I/O는 검증된 Platform을 도입하고,
 - 지능형 로봇 센서 융합 SoC의 시청각 인터페이스는 기본 부품인 저가의 CMOS 이미지 센서와 마이크로폰을 사용하여, 개발한 SoC의 기능 및 가격 경쟁력을 담보하며,
 - 지능형 로봇 시청각 융합 센서 핵심 IP 기술개발과 검증에연구역량 집중

나. 연도별 목표 및 내용

<표1> 추진 마일스톤

구분	2006년	2007년	2008년
연도별 연구목표	-지능형 로봇 시청각 처리 핵심 알고리즘 개발 -지능형 로봇 시청각 센서 SoC 구조 설계 -고성능 Embedded RISC Core Peripherals 블록 설계 -로봇 시각 인식 핵심신호 처리H/W 엔진설계 -로봇 청각 인식 핵심신호 처리 엔진 설계 -시청각 정보 네트워크 전송 H/W 블록 설계 -시각 및 청각 정보 제어 SW 및 프로토콜 구조설계	-지능형 로봇 시청각 처리 핵심 알고리즘 보완 및 고도화 개발 -지능형 로봇 시청각 센서 SoC IP 검증 실시간 FPGA Emulator 개발 -고성능 Embedded RISC Core Peripherals IP 블록 개발 -로봇 시각인식 핵심신호 처리H/W 엔진IP개발 -로봇 청각인식 핵심신호 처리 엔진IP개발 -시청각 정보 네트워크 전송 H/W 블록 IP 개발 -시각 및 청각 정보 제어 S/W 및 프로토콜 개발	-지능형 로봇 시청각 융합 센서 SoC IP 통합 Front-end Simulation -SoC Fab-out 검증용 DFT Insertion -지능형 로봇 시청각 융합 SoC Back-end Simulation -SoC 칩 제작 및 시험 -지능형 로봇 시청각 융합 센서 SoC 검증 모듈 개발 및 SoC 상용화 기능 검증
연도별 주요결과물	-지능형 로봇 시청각 처리 핵심 알고리즘 -SoC 구조 설계서 -SoC H/W IP 설계서 -핵심 S/W 및 프로토콜 설계서	-SoC IP 실시간 검증 FPGA Emulator -기능 보완 및 고도화된 지능형 로봇 시청각 처리 핵심 알고리즘 -SoC H/W IP RTL 코드 -SoC S/W 및 프로토콜 IP	-SoC IP 통합 시뮬레이션 결과서 -SoC 최종 Soft/Hard IPR -지능형 로봇 시청각 융합 센서 SoC -지능형 로봇 시청각 융합 센서 SoC 검증 모듈

1) 1차년도(2006년)

- 연구목표 :
 - 지능형 로봇 시청각 융합 센서 핵심 기술 개발
- 연구내용 :
 - 지능형 로봇 시청각 처리 핵심 알고리즘 개발
 - 지능형 로봇 시청각 센서 SoC 구조 설계
 - 고성능 Embedded RISC Core Peripherals 블록 설계
 - 로봇 시각 인식 핵심 신호처리 H/W 엔진 설계
 - 로봇 청각 인식 핵심 신호처리 엔진 설계
 - 시청각 정보 네트워크 전송 H/W 블록 설계
 - 시각 및 청각 정보 제어 S/W 및 프로토콜 구조 설계

- 결과물

결과물	발생시기 (월)	목표수준	목표달성여부 측정방법	현재기술상황	기술적 장애요인
지능형 로봇 시청각 처리 핵심 알고리즘	12월31일	-SoC IP용 음원 전처리 알고리즘 개발 -SoC IP용 로봇 양안 시각 처리 알고리즘 개발	-7KHz 8채널 음원 전처리 정합 가능 및 양안 처리를 위한 거리 정보 정확도 및 개별 기능의 SoC IP화를 위한알고리즘개발 여부 -핵심 IPR 2건 이상 확보 (국제 특허 출원)	현재 URC 개념에 포함되는 특화된 로지스틱 로봇용 시각 및 청각 통합용 SoC IP를 위한 알고리즘은 미 개발 상태임	해당 사항 없음



지능형 로봇 시청각 센서 SoC 구조 설계	12월31일	-고성능 Embedded RISC Core Peripherals 블록 설계 -로봇 시각 인식 핵심 신호처리 H/W 엔진 설계 -로봇 청각 인식 핵심 신호처리 엔진 설계 -시청각 정보 네트워크 전송 H/W 블록 설계 -시각 및 청각 정보 제어 S/W 및 프로토콜 구조 설계	-지능형 로봇 시청각 센서 SoC 구조 및 이에 필요한 핵심 블록 설계서 작성 여부 -핵심 IPR 2건이상 확보 (국제 특허 출원)	-	해당 사항 없음
-------------------------	--------	---	--	---	----------

3. 특허현황 및 과제특성

특허대상 핵심 기술 구분	지능형 로봇 시청각 센서 융합기술
기술개요	- 네트워크 기반 지능형 서비스 로봇의 음원인지를 통한 Sound source localization 기능과 비전으로 위치를 파악하고 사물을 인지하기 위한 기술 - URC 기반 시각 및 청각 처리 및 융합 센싱을 위한 핵심 기술
특허주기	탄생기
특허성숙기 예측	2015
상용화 시기	2010
관련제품	- 지능형 로봇을 위한 시청각 융합 센서 소자 및 SoC - 시청각 융합 센서 소자를 활용한 IT 기반 지능형 로봇 단말 - 센서의 핵심인 시각 및 청각 인식 기능을 활용한 차세대 IT 단말
추진방향 및 대응방안	- 현재 URC (Ubiquitous Robotic Companion) 기술개발은 국내 외적으로 최초로 시도되는 기술로 국내 독자적인 IPR 확보가 가능하며 기술개발의 활성화 후 국외 시장 진출을 위해 핵심 IPR 이 녹아 들어간 소자의 병행 개발이 필요함. - 국외 선도국의 로봇용 시각 청각 기능은 로봇 내부에서 모든 기능을 처리하는 형태로 로봇의 가격 고가화와 보급 장애의 직접적인 원인임. - 따라서 로봇을 위한 시각 및 청각 기능을 네트워크 기반 로봇 기술인 URC 에 특화하여 - Remote Brain인 URC 서버를 최대한 활용하는 저가의 고기능 지능형 로봇개발에 필수적인 소자에 필요한 기능 차별화된 청각 및 시각 처리 그리고 시청각 정보 제어 및 네트워크 I/F와 프로토콜 처리의 핵심 IPR 확보에 역량 집중
국내외 관련특허기구	국외의 경우 일본, 미국, 유럽을 포함한 선진국에서 시각 및 청각을 위한 일부 특허 기술을 갖고 있으나 URC 개념에 부합되는 IPR 은 확보하지 못한 상태임.

2) 2차년도 (2007년)

- 연구목표 :

- 지능형 로봇 시청각 융합 센서 IP 개발

- 연구내용 :

- 지능형 로봇 시청각 처리 핵심 알고리즘 보완 및 고도화 개발
- 지능형 로봇 시청각 센서 SoC IP 검증 실시간 FPGA Emulator 개발
- 고성능 Embedded RISC Core Peripherals IP 블록 개발
- 로봇 시각 인식 핵심 신호처리 H/W 엔진 IP 개발
- 로봇 청각 인식 핵심 신호처리 엔진 IP 개발
- 시청각 정보 네트워크 전송 H/W 블록 IP 개발
- 시각 및 청각 정보 제어 S/W 및 프로토콜 개발

3) 3차년도 (2008년)

- 연구목표 :

- 지능형 로봇 시청각 융합 센서 SoC 및 상용화 검증 모듈 개발

- 연구내용 :

- 지능형 로봇 시청각 융합 센서 SoC IP 통합 및 Front-end Simulation
- SoC Fab-out 검증용 DFT Insertion
- 지능형 로봇 시청각 융합 SoC Back-end Simulation
- SoC 칩 제작 및 시험
- 지능형 로봇 시청각 융합 센서 SoC 검증 모듈 개발 및 SoC 상용화 기능 검증

과제의 특성

연구목표	경쟁우위 유지	고부가가치 기반	신시장 선점	수입대체 및 국산화
			○	

연구단계	기초연구	응용연구	개발
		1, 2차 년도	3차년도

기술성숙도	연구전	연구초기	본격연구
세계		○	
국내	○		

시장성숙도	시장 형성 시기	시장 성장 시기	시장 성숙 시기
세계	2006	2012	2015
국내	2006	2012	2015

4. 기대효과

가. 기술적 기대효과

지능형 서비스로봇에 시각과 청각기능을 부여, 로봇의 자율 주행, 위치추정, 음원추적, 음성인식 등을 활용한 고도의 지능과 다양한 로봇 서비스 제공에 기여하며 세계 최초로 시도되는 네트워크 로봇기술인 국내 지능형로봇 서비스의 국내 자체 기술 (IPR) 확보 및 핵심소자의 자립화가 가능할 전망이다.

지능형 서비스로봇에 특화된 소자, 응용모듈, 개발환경 등의 Turnkey Solution 제공으로 국내 지능형 서비스로봇 제품의 경쟁력 제고, 국내시장 확대 및 국외 신규시장을 창출하며 지능형 로봇서비스와 유사한 네트워크를 매개로한 클라이언트-서버 시스템을 갖는 정보통신 단말 및 서비스 시스템에 시각 및 청각 기능 제공으로 새로운 시장 창출 효과가 기대된다.

〈표2〉 기술격차 축소

주요기술분야	기술 선도국 및 기업/연구소	구분	기술격차(년)	상대적수준(%)
비전 처리 기술	아래 표 참조	현재	없음	연구초기
		중요연도	전 세계 기술 선도	기술 선도
음원 처리 기술	아래 표 참조	현재	없음	연구초기
		중요연도	전 세계 기술 선도	기술 선도

(단위 : 억불, 억원)

국외 기술개발/ 산업현황	- 로봇에 외부 음원추적 및 음성인식을 실제 Noise 환경에서 구현하기 위해서는 다채널 음성 처리가 필요하며, 이를 위한 로봇 전용 Wideband Audio 다채널 처리 기술과 URC 서버를 위한 전처리 기술이 융합된 소자의 독자개발이 필요함
---------------------	---

나. 경제적 기대효과

1) 국내·세계시장 규모

- 지능형 서비스로봇은 2005년 22억불에서 연평균 80% 내외 고성장하여 2010년 243억불로 예상되며, 이중 로봇용 시청각 센서군은 연평균 115% 성장하여 2010년에 11억불 이상 시장 형성이 예상된다.

구분	2004	2005	2006	2007	2008	2009	2010	CAGR	
지능형로봇	세계	0.1	0.6	1.2	4.1	6.0	8.0	11.0	115.4
	국내	10	80	150	510	755	1,000	1,300	123.4

※ 근거 : IITA 2005년 진흥원 핵심체계화 기획 자료를 참조하여 지능형 로봇 분야의 Vision과 음성인식, 음원추적 시장을 합산하여 추정

〈표3〉 관련 기술 현황

구분	주요현황
국외 기술개발/ 산업현황	- 시각 센서 및 실시간 시스템은 PointGrey Bumlesbee, SRI SVS(2002년 개발), PointGrey Triclops(2001년), SAZAN(1999년), CISRO(1997년), Interval Part Engine(1997년), CMU Stereo Machine(1995년), JPL(1995년), Telecom(1995년) 시스템 등이 있으며, - 크게 범용 PC 기반의 전용 시스템과 고성능 상용 DSP 기반 시스템, FPGA 기반 시스템등으로 구분됨. 현재 전용 시스템으로 고가의 장비이며 시각 전용 칩 개발은 아직 연구개발 초기 상태임. 특히 URC를 위한 전용 시각 전용 칩의 개발은 전무한 실정임 - 지능형 로봇의 가장 중요한 외부 환경 인지 기술 (HRI: Human Robot Interaction)중 하나인 음성인식, 음원추적 기술은 현재 국제적으로도 성숙된 연구결과가 없으며, 일부 완구용으로 음성정보를 무시한 간단한 단어를 대상으로 하는 DSP 칩이 있음 - 지능형 로봇의 외부 청각 인식 센서로는 국내외 이미 개발되어 판매되고 있는 마이크로폰을 이용함

2) 수출입현황, 국산화율, 시장점유율, 제품 단가, 국내외 선도기업 등

- 시청각 융합 센서는 시각과 청각을 위한 전용 모듈 및 장치 위주로 수입되거나 외산 DSP, FPGA를 활용하여 모듈을 개발하여 사용

※ 로봇에 특화되지 않은 고가 (수백만원 이상)의 시각 및 청각 전용 모듈을 전량 수입하여 로봇개발에 사용

〈표4〉 수출입 및 국산화율 현황

구분	수출	수입	국산화율	단가	선도기업	
	2003	2004	2003	2004		
지능형로봇 시청각 융합 센서	0	0	100%	100%	0%	미정(카메라판 제조원가 비중 10% 규모) 국외 : DRS(미국), ULIS (프랑스) 국내 : 없음

※ 근거 : 지능로봇산업협회, 한국공학한림원 자료 및 로봇전체 시장을 근간 추정
 ※ 로봇용 시청각 융합센서는 국내외에 개발되어 적용된 바가 없으며, 일부 센서 모듈 형태로 개발되어 판매되고 있음

III. 유비쿼터스용 CMOS 기반 MEMS 복합센서

1. 개요

가. 개념 및 정의

유비쿼터스 시대에 요구되는 센서의 소형화, 고성능화를 충족시키기 위해 실리콘 표면 MEMS 기술과 신호처리 회로기술의 일괄 설계/공정을 통하여 일체화된 구조로 구현되는 핵심 센서 모듈 기술이다. RFID/USN용 센서는 사람 또는 사물에 부착하거나 실제 환경에 설치하여 부착·설치된 곳의 사물 정보 또는 환경 정보를 검지하여 U-City, 스마트 빌딩, 방재, U-Health 등의 서비스가 가능하도록 하는 기반 정보의 획득에 이용된다.

- 환경 센서 복합화 기술: RFID/USN 서비스의 요구에 따라 CMOS 및 Micromachining 공정 기술을 이용하여 이종의 센서들을 하나의 chip으로 구현하는 복합센서 기술
- 센서 및 CMOS 회로의 집적화 공정 기술 : 서로 다른 공정 기술로 제작되는 센서와 CMOS 회로를 하나의 칩으로 구현하는 복합 공정 기술
- 복합 센서 인터페이스 기술: 센서 검지값의 송출, 센서의 보정, 저전력 소모를 위한 sleep 모드, 센서 소자의 자가 진단 등을 통신 및 제어 모듈의 명령에 따라 제어
- 복합 센서 패키징 기술: 서로 다른 패키징 방식이 요구되는 센서들을 집적화한 복합 센서의 단일 칩 패키징 기술
- 복합 센서 성능 및 신뢰성 시험 기술: 양산 적용을 위하여 필수적으로 요구되는 단위 공정 사이의 복합 센서 시험과 최종 제품으로서 품질 우위를 점유하기 위한 신뢰성 확보 기술

나. 필요성

세계는 현재, RFID/USN 기술을 IT 산업뿐만 아니라 교통, 환경, 유통물류, 의료, 안전 등 산업 전 분야에 적용하여 유비쿼터스 컴퓨팅 사회 구축을 주도하고 있으며, 국내도 관련 응용서비스 기술과 관련된 연구 및 적용이 활발하다. 특히 RFID/USN의 주요 응용 분야로 예측되는 물류 관리 시스템, 환경 감시 시스템, 구조물 안전 진단 및 모니터링 시스템, 헬스 모니터링 시스템 등의 분야에서 요구하는 사양을 만족하는 관련 부품 개발이 시급하다. 초소형 센서의 개발은 많은 연구가 이루어져 센서 소자 자체의 제조를 위한 기반 기술을 확립이 되어 있으나 저가의 RFID/USN용 복

합센서를 제조하기 위한 양산 기술로는 많이 부족한 상황이다. 또한 고성능, 자가진단, 자기 보정 등의 기능이 있는 스마트 센서를 위한 센서 회로 설계기술이 부족하며 저가 고성능 스마트 센서 제조를 위한 센서 회로와 센서 소자의 집적화 공정 기술 및 패키징 기술 개발이 시급하다.

미국의 경우 이미 센서 소자와 센서 회로가 단일 칩으로 구현된 스마트 진동 센서가 양산되고 있으며, 스위스의 경우 온도 센서와 습도 센서를 집적화한 복합 센서를 제품화하여 관련 시장의 대부분을 점유하고 있다. 또한 일본의 경우 교토 의정서와 관련하여 정부 차원의 에너지 절감 정책 시행 예정으로 온·습도 센서, 조도센서, CO2 센서 등 환경 센서의 검지 정보를 이용한 냉난방 및 조명 기기 제어를 통한 에너지 절감 시스템을 적용하기 시작하였다.

현재 정통부 선도기반기술개발 사업으로 진행 중인 "RFID/USN용 센서 태그 및 센서 노드 기술 개발" 과제 1단계(2005년~2006년)에서 진행 중인 물리/화학 등의 단일 센서를 적용한 센서노드개발과 연계되어 본 과제에서 개발하고자 하는 온도, 습도, 화학(CO2), 물리(진동, 위치, 기류, 기압 등)센서 등의 단일 센서가 탑재된 센서노드 개발이 가능하다. 또한 "RFID/USN용 센서 태그 및 센서 노드 기술 개발" 과제 2단계(2007년~2008년)에서 집적된 이종 복합 센서를 이용한 센서 노드 개발과 연계되어 본 과제의 2차(2007년), 3차년도(2008년)에 개발이 완료될 SiP형 이종 복합센서 및 SoC형 이종 복합센서의 적용이 가능하다.

2. 연구목표 및 내용

가. 최종 목표 및 내용

1) iMEMS(intelligent MEMS) 핵심 기반기술 개발 및 USN용 복합센서 기술개발

- iMEMS 핵심 기반기술 개발
 - 적외선 영상 시스템용 iMEMS 센서 모듈 구현을 위한 Read-Out IC 및 MEMS 센서 구조체 설계/공정 기술 개발을 통하여 iMEMS 핵심 기반기술 확보

- USN용 복합센서 기술개발

- USN용 대기/생활 환경 및 물류용 복합 센서 기술 개발
 - • 스마트 기류/기압 SoC형 복합 센서
 - • 스마트 온도/습도 SoC형 복합 센서
 - • 스마트 진동/위치 SoC형 복합 센서

2) 확보기술 내용

- iMEMS 핵심 기반기술 개발
 • 자체개발 기술

기술영역	요소기술	개발 기술
센서 소재 및 구조	적외선 감응 재료	최적 적외선 감응 재료 개발 및 선정
	적외선 흡수 구조	적외선 흡수 효율성을 최대화하는 구조 디자인
	열차폐 MEMS 구조	S/N 비를 극대화하는 MEMS 구조 개발
센서 공정 및 회로 설계	MEMS 공정 기술	센서 구조체 어레이 제조용 MEMS 공정 개발 및 최적화
	판독회로 설계 기술	센서 transducer 회로 및 증폭 / 제어 회로 설계
일체형 i-MEMS 공정 개발	i-MEMS 공정 설계	MEMS 공정과 CMOS IC 공정의 일체화 공정 설계
	i-MEMS 공정 기술	MEMS 공정과 CMOS IC 공정과의 정합성 확보 및 일체화 공정 개발
	i-MEMS 센서 평가기술	일체형 i-MEMS 센서칩 평가 기술 개발
시스템 적용 기술	패키징 기술	i-MEMS 센서 칩 패키지 개발
	시스템 통합 및 적용	적외선 영상 시스템 적용 및 신뢰성 검증

- 기존기술 활용
 - CMOS IC 공정 기술 및 설계 IP (amplifier, multiplexer, decoder 등)
 - 표면미세가공형 (surface micromachining) MEMS 공정 기술
 - 적외선 광학계 기술
 - 디지털 영상 처리 기술

- USN용 복합센서 기술개발

- 자체 개발 기술
 - 환경센서 복합화 기술
 - • • 기존의 non-CMOS 기술로 제작된 환경센서의 CMOS화 기술
 - • • 상호 보완적인 이종 센서들의 단일칩화 기술
 - MEMS 센서 및 CMOS 회로의 집적화 공정 기술
 - 복합센서 인터페이스 기술
 - • • 통신 및 제어 모듈의 통신 프로토콜 수용
 - • • 양방향성 통신 기술
 - 복합센서 패키징 기술
 - 복합센서 성능 및 신뢰성 시험 기술

• 기존기술 활용

- • 기존 선도과제에서 수행하고 있는 USN 센서 노드 기술
- • CMOS 및 Micromachining 단위 공정 및 모듈 기술

나. 연도별 목표 및 내용

1) iMEMS 핵심 기반기술 개발

구분	2006년	2007년	2008년	2009년
연도별 연구목표	적외선 센서 소재 및 구조 개발	MEMS 센서 구조체 및 Read-Out IC 개발	적외선 센서용 iMEMS 공정 개발	iMEMS 센서 모듈 개발 및 시제품
연도별 연구내용	- Bolometer - type 적외선 감응 재료 선정 및 최적화	- MEMS구조체 공정 및 적외선 감응 특성 평가 - 신호처리 Read-Out IC 설계 및 공정 - MEMS 공정 과 CMOS공정과와의 정합성 문제 해결 연구	- Read-Out IC & MEMS 일체화 iMEMS 공정 최적화 - iMEMS 센서 칩 패키지 개발 - iMEMS 센서 특성 평가	- 적외선 센서 패키지 시제품 신뢰성 평가 - 영상 시스템 적용 및 상용성 검증
연도별 주요결과물	적외선 감응 소재 단위 MEMS 구조체	단위 센서의 적외선 감응 특성 평가서, Read-Out IC Layout	일체형 iMEMS 센서 칩 및 특성 평가서	iMEMS 센서 칩 적용 적외선 영상 시스템

2) USN용 복합 센서 기술개발

구분	2006년	2007년	2008년	2009년
연도별 연구목표	USN용 SIP 기반 단위 센서 제조 및 패키지 기술 개발	USN용 센서 제작 및 SIP 기반의 복합센서 제작기술 개발	USN용 SIP/SoC 기반 복합센서 집적화 기반 기술 개발	USN Fab을 이용한 USN용 SoC 기반 복합 센서의 상용화 기술 개발



연도별 연구내용	<ul style="list-style-type: none"> - 단위 센서 (CMOS 온도 센서, MEMS 진동 및 습도 센서) 설계/공정 기술 - 외부 통신 및 제어 모듈을 이용한 센서 모듈 제어 - 저전력 소모 - 자기 진단, 자기 보정 회로 및 알고리즘 설계 기술 - 단위 센서 패키징 (SIP) 기술 	<ul style="list-style-type: none"> - USN 센서 노드 기술 과제에서 개발된 통신프로토콜을 수용하여 센서 모듈 제어 - 이종 센서의 복합화 공정 - WLCSP (Wafer Level Chip Scale Packaging) 기술 개발 - 신뢰도 확보를 위한 시험 기술개발 	<ul style="list-style-type: none"> - 센싱 소자와 ROIC 설계 기술 - 센싱 소자와 ROIC 공정 기술 - 이종 센서 복합화 SiP/SoC 기술 - 신뢰도 확보를 위한 시험 기술 - USN 센서 노드 통신 수용한 센서 모듈 제어 기술 - 자기 진단/자기 보정 알고리즘을 복합화한 ROIC 설계 기술 	<ul style="list-style-type: none"> - 복합 센서 공정 기술 - 상용화를 고려한 자기 진단/자기 보정 통합 알고리즘 개발 - 내환경성 센서 제품을 위한 다중 센서 상용 패키징 기술 - 신뢰도 확보를 위한 시험 기술 개발
	<ul style="list-style-type: none"> - SoC 기반 CMOS 온도 센서 - SiP 기반 평면MEMS 진동 측정 센서 + ROIC - SiP 기반 MEMS습도 센서 + ROIC 	<ul style="list-style-type: none"> - SiP 기반 온도·습도 복합 센서 +ROIC - SiP 기반 3축 측정용 진동 센서 + ROIC - SiP 기반 위치센서 + ROIC - SoC 기반 기류 센서 + ROIC - SoC 기반 기압 센서 	<ul style="list-style-type: none"> - SoC 기반 온도·습도 iMEMS 복합 센서 시제품 - SoC 기반 위치센서 + ROIC - SiP 기반 진동·위치 복합 센서 시제품 - SiP 기반 기류·기압 복합 센서 시제품 	<ul style="list-style-type: none"> - SoC 기반 온도·습도 iMEMS 복합 센서 상용 시제품 - SoC 기반 진동·위치 복합 센서 상용시제품 - SoC 기반 기류·기압 복합 센서 상용시제품

3. 기대효과

가. 기술적 기대효과

USN용 복합 센서 기술개발 결과로 단일 칩 위에 이종 센서와 ROIC의 집적화가 가능함에 따라 다기능화, 지능화 된 스마트 시스템화가 용이하다.

〈표5〉 기술격차 축소

주요 기술분야	기술 선도국 및 기업 / 연구소	구분	기술격차(년)	상대적 수준(%)
환경센서 복합화기술	ETH(스위스), TecO(독일), VTT(핀란드)	현재	3	70
		종료연도	1	>90
센서 및 CMOS회로의 집적화공정기술	FET, MEMS, NEMS	현재	2	70
		종료연도	<1	>90
복합센서 인터페이스 기술	IEEE P1451 (미국)	현재	1	80
		종료연도	1	90
복합센서 패키징 기술	MCP, SiP, SOP (미국, 일본)	현재	1	80
		종료연도	<1	>90
복합센서 성능 및 신뢰성 시험 기술	NovaSensor (미국)	현재	2	70
		종료연도	<1	90

초소형/저전력화 기술 및 SoC 기술을 기반으로 한 USN용 복합 센서 기술을 다양한 정보 기기에 활용이 가능하며, u-Korea를 구축하기 위한 기반기술인 USN 기술의 핵심기술로서 USN용 복합 센서의 상용화 기술 확보로 BT, NT 기술들과 융합하여 시너지를 얻을 수 있다.

나. 경제적 기대효과

USN용 복합 센서 기술은 미래 IT 시장을 선도할 성장 잠재력과 파급효과가 매우 큰 분야로 IT, 자동차, 지능형 로봇, 환경 에너지분야에 이르기까지 신성장 동력산업의 핵심 요소 기술이다.

세계 센서시장의 규모는 2000년 216억불, 2001년 231억불, 2002년 246억불, 2003년 262억불로, 연평균 7.1%씩 성장하고 있으며, 2013년에 450억불에 이를 것으로 전망되며 (한국센서연구조합) USN 분야의 세계시장은 지속적으로 증가해 2005년에 42억불, 2010년도에 668억불에 이를 것으로 전망된다. (ETRI, IDTechEx 공동조사, 2004.)

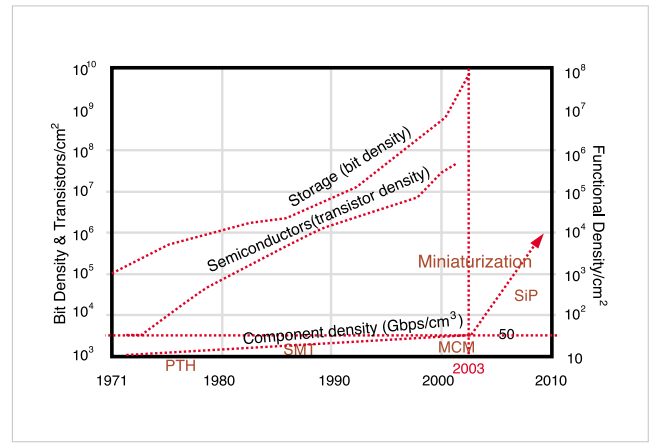
온·습도 복합 센서의 스마트 홈이나 스마트 빌딩의 냉·난방 및 환기시스템에 활용하고 거주민의 공기 품질을 높일 수 있다. 쾌적한 생활환경을 유지하여 웰빙(Well-being) 생활 및 고부가 가치의 에너지 절감 정책에 부응하며, 환경 측정용 복합 센서를 이용하여 식·의약품의 품질을 변성시키는 인자들을 감지하는 시스템을 스마트 컨테이너나 스마트 박스에 활용함으로써 물류유통 과정에서 식품이나 의약품의 보관 품질을 높이고, 도난이나 탈취를 예방하는 물류회사들의 요구가 충족될 수 있다.

IV. 고성능 초소형 SiP (System In Package)

1. 개요

SiP는 SoC와 더불어 고성능, 고집적, 경박단소화를 요구하는 차세대 정보통신기기 기술의 핵심 기반 기술이다. 무어의 법칙에 따라 증가하는 반도체 집적도의 변화에 비해 패키징 기술은 느리게 진보하므로 반도체 칩의 구현에 존재하는 장애 요인을 타개 하면서 차세대 모바일 시스템의 고속화, 고집적화, 소형화의 요구를 충족시키기 위해서는 고성능 극소 SiP (System in Package) 기술 개발이 필요하다.

〈그림2〉 Moore's Law를 실현하기 위해 필요한 패키징 기술



SoC가 개발에 필요한 실리콘 IP의 재사용이 쉽지 않고 설계 검증에 오랜 시간이 소요되는데 비해, SiP는 검증된 IP의 재사용 및 고성능 Heterogeneous 소자의 결합이 가능하므로 고성능/고집적 부품의 개발기간이 단축될 것으로 전망된다. 제품의 적기 개발, 고신뢰성 및 가격 경쟁력을 갖는 제품 개발을 통해 국가 경쟁력을 강화하기 위해서는 무엇보다 극소형 고집적 SiP 요소 기반 기술 개발, 설계/제조 표준화 및 전문 인력 양성이 매우 중요하다. 고성능, 고집적 회로를 고신뢰성을 갖는 SiP로 구현하기 위해서는 최적 설계 Rule 개발 환경, 설계 Rule을 기반한 CAD 환경 및 시뮬레이션에 의한 검증 환경등의 통합 설계/검증 환경 구현이 요구된다.

차세대 모바일 시스템에서 요구하는 융복합 제품을 구현하기 위해서는 RF, Analog, Digital, Memory, Sensor, Antenna등 각종 이질적인 시스템 부품 및 Passive 부품을 집적하는 기술이 필요하며, 시스템이 고속화될 것으로 예상됨에 따라 고성능 동작을 확보하기 위한 SiP에서의 Signal Integrity, Power Integrity, EMC 연구는 개발되어야 할 핵심 기술이다. 차세대 모바일 시스템이 고집적, 고기능화 됨에 따라 전력 소모 증가가 예상됨으로 저전력을 위한 설계 기술의 확보가 매우 중요하며, Package가 소형화됨에 따라 종래의 Probing에 의한 Test 방법이 불가하므로 SiP의 중

합적 검증을 위한 Testability에 대한 연구가 중요하다.

2. 국내외 SiP 현황

SiP 세부기술	기술현황	세계 기술 현황	국내 기술 현황	향후 필요 SiP 기술 수준
SiP 통합 설계 환경 개발				
CAD 활용 기술	개별적 routing 기능, 시뮬레이션 기능	대기업에 초기 도입 과정 일반 기업은 환경이 전혀 미비 통합 환경 미비		SiP 통합 설계 환경 (Chip, Package, PCB), 통합 Interface, design 절차, 방법론, Data, Library, Design rule, Design guide, Model document cross-check, 3-D stack routing 기능
SiP, EMI 시뮬레이션	IBM 은 자체 Tool 개발 및 활용 중	Si, P, EMI 시뮬레이션 툴은 각각 존재함. IBM 은 자체 Tool 개발 및 활용 중	Si, P, EMI 시뮬레이션이 일부 도입 중	호환성 있는 SiP, EMI 통합 검증 환경 개발, chip-package co-design, co-simulation 기능, 고주파 배선 모델, 고주파 기판 모델, 고주파 Embedded passive model, 고주파 antenna model, 시간영역, 주파수 영역 해석
DFM, DFT	초기 Tool 개발 중	SiP 에는 적용되지 못함.		SiP 용 DMF, DFT를 고려한 설계 및 검증 자동화
SiP 적용 사례 개발				
모바일 SiP 기술	기술 개발중	100~200MHz 동작 주파수의 ARM, SRAM, Flash를 집적한 SiP 기술		수 GHz의 동작 주파수까지 동작하는 고속 모바일 SiP 기술 요구
RF SiP 기술	Power Amp, LNA, 수동 소자 등의 집적 기술 개발	위성DMB 수신부를 SiP로 개발		일부 RF소자가 아닌 RF/Digital/Analog가 집적된 시스템 SiP 형태의 기술 요구
칩 적층 기술을 이용한 모바일/RF SiP 기술	기술 개발중	기술 개발중		극소형 SiP를 위한 칩 적층 형태의 모바일/ RF용 SiP 기술 개발이 요구

카메라 모듈 SiP 기술	Image Sensor와 렌즈가 결합된 SiP 기술 개발	기술 개발중	소형화 및 고화소 카메라 모듈 SiP 기술 요구
메모리 칩 적층 기술	5~7층 칩 적층기술 개발	5~7층 칩 적층기 술 개발	다양한 메모리 종류 및 다층의 칩 적층 기술 요 구
SiP 요소 기술 개발			
모델링	2D,3D 모델링 기술 우수	3D 모델링 기술 미흡	2D,3D 통합 모델링 기술
저전력	기술개발 표준화 선도	부분적 기술개발	세계적 표준화 선도
Testability	기술개발표준화선도	부분적 기술개발	세계적 표준화 선도

1) 세계 기술현황

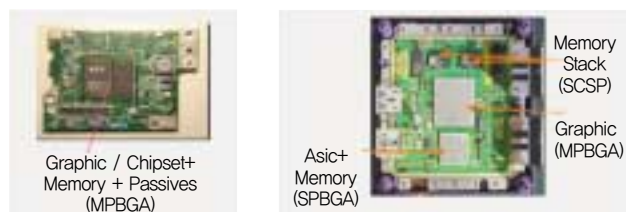
가. SiP 통합 설계 환경 개발:

Cadence, ADS, Sigriety, Ansoft 등에서 각각 chip level, package level, PCB level에서 각각의 SI, PI, EMI 시뮬레이션 기능을 갖고 있으나 chip-package-PCB 가 동시 설계되고 시뮬레이션 되는 기능은 없으며 다수의 Simulator 가 복합적으로 사용되어야 하나 SiP 에 적용되는 최적 방법론이나 해석 방법이 체계적으로 확립되지 못했다. SiP model, design library, design rule 및 SiP design 절차와 방법론이 확립되지 못했다.

나. SiP 적용 사례 개발:

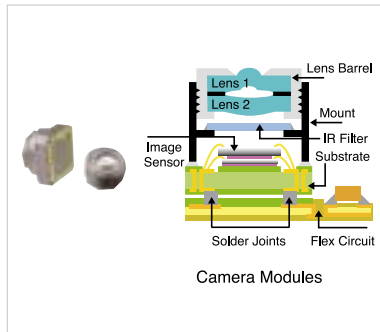
Toshiba, Fujitsu 는 SRAM, Flash, DRAM, UtrAM을 모바일에 적용 하기 위해 3D 적층형태로 쌓아 고집적, 소형화를 하는 Multi-Chip Package형태의 기술을 개발하였다. Sharp는 ASIC과 memory를 3D 적층 형태로 쌓는 기술 확보, 특히 chip 적층뿐만 아니라, package를 적층 형태로 쌓는 기술도 일부 개발되었으며, 이를 활용하여 1GB의 플래시 메모리를 개발하였고, ASE는 3D 칩 적층형태의 SiP 공정 기술 개발 중, 4/5층 적층은 현재 기술이 확보된 상태이며 주로 메모리를 적층하는데 사용, 평면 구조의 SiP는 메모리, Graphic, ASIC이 집적된 패키지를 개발하였다.

〈그림3〉 평면구조 메모리, Graphic, Graphic 집적 SiP



Amkor는 3D 칩 적층형태의 SiP 공정기술을 개발 중이며, Image sensor 와 렌즈가 결합된 형태의 패키징을 개발, RF wireless SiP는 블루투스, 802.11 모뎀, GPS 등이 일부 나와 있으나, SiP의 구성이 주로 Power amp, LNA, passive component 등에 국한되어 있어 RF, digital, analog 칩이 함께 집적되어 있는 system측면에서의 SiP 기술은 미약한 단계이다.

〈그림4〉 Image Sensor, 렌즈 결합 패키징

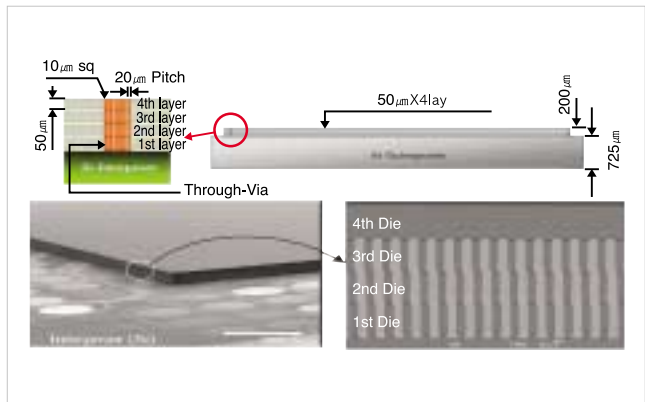


〈그림5〉 블루투스 패키징



Association of Super-Advanced Electronics Technologies (ASET) 는 Silicon substrate 에 through via를 형성하여 적층한 칩끼리 연결하는 기술을 개발

〈그림6〉 Through Via 연결 그림



GaTech Packaging Research Center 는 SiP 내에서 RF/digital과 opto-electronic 의 인터페이스 기술, 5.8GHz 이상 대역에서의 무선 통신을 위한 RF MEMS 기술, 내장형 디커플링 커패시터 및 향상된 interconnection 재료 및 기술을 사용한 10~20GHz의 동작 주파수를 가지는 고속 디지털 시스템을 연구하고 있다.

Mobile용 SiP 제품군이 올해 전 세계적으로 6억 개에서 2006년 12억 개로 성장할 것으로 예측 (Electronic Trend Publication)하고 있으며, 전 세계적으로 SiP 기술을 채용한 제품 개발 사례는 많으나 SiP 개발 및 검증 방법에 대한 체계적인 연구 및 표준화는 아직 미흡한 실정이다.

2) 국내 기술현황

가. SiP 통합 설계 환경 개발:

삼성전자에서는 SI, PI, EMI 관련 Tool 들이 제 각각 적용되기 시작했고, chip, package, PCB level 에서는 설계, 시뮬레이션 방법론이 적용되기 시작했으며, 최근에 3D Memory stack die/pad I/O 설계환경이 구축되고 SiP 통합 설계 환경에 대한 필요성을 인식하고 있으나 인력 미비로 지연되고 있다.

Amkor 에서는 Customer 의 요구에 의해 일부 SI, PI, EMI 관련 Tool 들이 제 각각 적용되기 시작했으나 SiP 통합 환경은 미비 상태이다.

나. SiP 적용 사례 개발:

삼성전자는 PDA, 스마트폰용 ARM processor, SRAM, Flash를 접목 시킨 SiP를 개발, 모바일에 사용하기 위해 소형화 및 고집적을 위한 3D 칩 적층 형태의 Multi-Chip Package 기술 개발 및 연구 중으로 Flash, DRAM, UIRAM 등을 적층하는 형태이며, 주로 다층의 칩을 적층시켜 메모리의 크기를 늘리는 방향으로 연구 중이며, LG전자는 RF 수신부 및 SDRAM을 하나의 패키지로 구성한 SiP를 개발한 바 있다. 한편 국내에는 삼성 전자, Hynix, LG 전자, Amkor, ASE, ChipPack 등의 반도체 패키지 회사, 대덕 전자, 삼성 전기 등의 기판 회사, 무선 통신 단말기 제조사 등 수많은 IT 부품 기업이 SiP 방향으로 사업 전환을 모색 중이며, 일부 반도체 업체를 중심으로 SiP 기술 응용 사례가 있으나 선진사에 비해 기술력이 떨어지고 대기업에 편중되어 있어 대,중소기업간 기술 협력기반이 미흡한 실정이다.

3. 연구목표 및 수행계획

가. SiP 통합 Design Methodology 개발

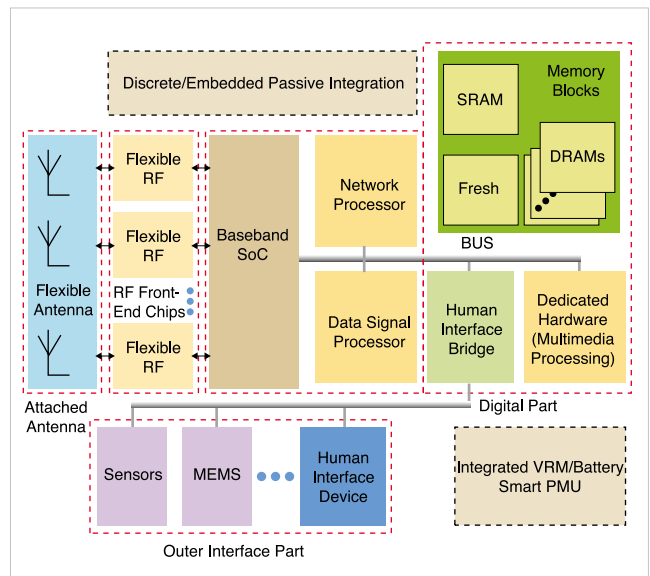
- Chip-package-PCB 동시 설계 및 simulation 환경
- SI/PI/EMI 설계, simulation, 측정 평가 방법론
- SiP 설계 Rule을 만들기 위한 IC, Package 복합 환경의 Pre-layout 시뮬레이션 환경 구현
- 설계 Rule을 효율적으로 적용하고 검증하기 위한 Rule Driven Routing 환경 및 Design Rule Check 환경
- SiP 설계의 동작 신뢰성 확보를 위한 SI,PI,EMI Post-layout 시뮬레이션 환경 구현
- 최적 die/pad/stack/기판 설계 가능
- 제조성 및 Testability를 조기에 검증 개선할 수 있는 DFM, DFT 환경 구축

〈표6〉 SiP 개발 최종 설계 환경

Target SiP Design Environment (목표통합설계환경)		
Library	Packaging Process	SiP CAD
Chip Level Components -SoC, RF, and Memory Chips -On-Chip PMU -On-Chip PDN -IPs for SiP Test Packaging Level Components -High Density Package -High Speed Package -Multiple Power Structures PCB Level Components -Mobile Products PCBs -High Speed / High Power Products PCBs -EMI-Aware Structures -Multiple Power / Hybrid Mobile Structures -Intra-Board Communication(NOP) Discrete Level Components -Antenna -VRM / Battery -Discrete R,L,C -Human Interface Devices	Bonding Process -Wire, Lead Frame, BGA, Super Via Stacking Process -Planar structure -Vertical structure -3D structure Substrate Process -LTCC -FR4 -Silicon carrier -Ceramic -Organic Embedded Passive Process -High dielectric -Low dielectric -High / Low receptive R -Patched / Printed Inductor Antenna Process -Patched / Printed -Bonding Wire	요소통합 tool: Chip-Package-Board Co-simulator -Circuit Simulator -System-level LVS Checker -System-level DRC Checker -System-level parasitic extraction and modeling verifier 신호검증 tool: SI,PI,EMI Simulators -Signal Integrity -Power Integrity -Electro-magnetic interference -Noise estimator/Suppression 동작검증 tool: System-integrating Simulators -System-level function verification for SiP -System-level Yield analysis for SiP

◇ LTCC, 내장형 Passive 소자, 메모리, Sensor, RF, Digital, Antenna등이 집적된 SiP 기반 고성능, 고집적, 극소형 시스템 구현(고성능, 고집적, 극소형 USN)

〈그림7〉 개발된 SiP 제품 최종도 예



〈표7〉 개발된 SiP 최종 제품의 중요 기능 및 사양

Requirement	Structure	Feature
<ul style="list-style-type: none"> • Low Power • Small Size • Light Weight • Low Cost • Higher reliability • Fast Time-to Market • Low Noise • Easy Development • Flexible Productivity 	<ul style="list-style-type: none"> • Inhomogeneous multiple Chips • Integrated Passive • Integrated Antenna • Integrated VRM/Battery • 3D Stack Chips • High Density interconnection 	<ul style="list-style-type: none"> • Sensing Function • Wireless Communication/ Network Connection • Multimedia Data Processing • Data Storage • Flexible Human Interface

경, 다양한 SiP 적용 사례 발굴 및 기반기술을 확립함으로써 산업체 기술 이전을 통한 산업 기술 경쟁력을 확보한다.

향후 멀티미디어 단말기, 네트워크 시스템 등에 SiP 기술을 활용하여 제품의 고성능, 저가격 및 소형화로 대외 경쟁력을 확보, 휴대단말기 및 디스플레이 등의 수출 강국으로서 초소형/고성능 SiP 적용 시스템 및 부품 개발로 경쟁 우위를 유지하고 새로운 시장 창출 및 시장 선점에 기여 SiP내에서의 Signal Integrity, Power Integrity 문제를 해결함으로써 고속화 SiP 설계에 대한 품질 우위를 확보, LTCC를 이용한 내장형 필터를 사용한 SiP를 연구함으로써 초소형, 고집적 SiP에 대한 기술 경쟁력을 확보할 수 있다. ☺

나. SiP 기반 기술 개발

- 시뮬레이션 결과를 통한 주파수 영역에서의 해석 및 모델링
- 회로적 시뮬레이션을 통한 SiP의 시간 영역에서의 전기적 특성 검증
- LTCC를 사용한 고성능, 초소형 SiP 구현 기술
 - LTCC의 특성을 이용, 10층 이상의 다층 SiP 제작을 용이하게 하여 한정된 층내에서의 2D형태의 Routing을 Vertical 형태로 변환.
 - 세라믹 기판의 낮은 Loss Tangent를 이용 기존 기판의 신호 손실 정도를 최소화 하여 고속 신호 전송에 용이.
 - LTCC를 사용하여, 다양한 종류의 Filter 및 Antenna를 패키지 내에 적층 가능.
 - 고성능, 초소형 시스템 구현으로 차세대 모바일 시스템의 적합한 모델로 평가됨.
- 내장형 소자를 사용한 고성능, 초소형 SiP 구현 기술 개발
 - 내장형 Capacitor 사용을 통한 Power/Ground Network에서의 낮은 임피던스 구현 및 Simultaneous Switching Noise (SSN) 감소 기술.
- 패키지내의 IC간 Data 전송 기능을 효율적으로 수행함으로써 SiP의 구현을 보다 용이하게 하기 위한 Network On Package 기술을 구현

4. 기대효과

초소형/고집적 SiP 기술을 적기에 개발 제공함으로써 IT 신성장 동력 시스템 개발을 위한 선도 기반기술을 확보, SiP에 대한 모델, 시뮬레이션, 설계, 측정, 테스트, 검증 기술을 개발함으로써 고성능 극소형 SiP에 대한 국가 경쟁력 확보할 수 있다. SiP 설계, 공정 표준화로 초기 세계 시장 진입은 물론, IT 산업 강국으로 세계 시장을 주도할 수 있을 것으로 보이며 SiP 설계에 대한 최단 Time-to-Market을 실현시키는 기술을 개발함으로써 국내외에서의 시장 경쟁력을 확보하고 통합 칩 패키지 설계 방법론, 설계 환