

OTH 기반 신호 전송기술 동향

Technological Trend of Signal Transmission Based on Optical Transport Hierarchy

광대역통합망기술 특집

이현재 (H.J. Lee)	TDM기술팀 책임연구원
조현우 (H.W. Cho)	TDM기술팀 연구원
신종윤 (J.Y. Shin)	TDM기술팀 연구원
고제수 (J.S. Ko)	TDM기술팀 팀장

목 차

-
- I. 서론
 - II. OTH 신호 전송기술
 - III. 기술개발 현황 및 전망
 - IV. 결론

트래픽의 급격한 증가와 함께 백본을 구성하는 광전송망은 비동기식(PDH) 기반에서 동기식(SDH/SONET) 기반으로 발전하여 왔으며, 최근에는 파장분할다중화(WDM) 기술을 적용한 장비가 보급되면서 광전송망을 구성하는 필수 기술로 자리잡고 있다. WDM 기술 적용에 따라 현존하는 SDH/SONET 망과 연동시 유지보수가 되지 않는 등 WDM 기술에 SDH/SONET 망을 직접 수용하는 데 어려움이 있어, 이를 해소할 수 있는 새로운 개념의 광전송계위(OTH)의 필요성이 대두되어 관련 기술을 개발하여 표준화가 이루어졌다. OTH 기술의 도입으로 WDM 기반 전송망과 기존 전송망과의 연동이 원활하게 이루어져 유지보수 및 운영상의 문제점을 해소할 수 있을 뿐만 아니라, 기존의 다양한 신호 트래픽과 새로운 서비스 등장에 따른 트래픽 수용 및 전송이 가능하게 되었다. 이 논문에서는 WDM 기반의 고속 전송에 필수적인 OTH 신호 전송을 위한 핵심 기술에 관해 분석하고 나아가 관련 기술개발 동향에 대해 기술한다.

I. 서론

1990년대 후반 이후 트래픽의 급격한 증가와 함께 백본을 구성하는 광전송망은 비동기식(PDH) 기반에서 동기식(SDH/Sonet) 기반으로 발전하여 왔다. 2000년도부터는 인터넷 사용자의 급격한 증가로 인하여 데이터 전송량이 비약적으로 증가하였으며, 그 결과 전송망에서 회선부족에 직면할 수 있다. 이 문제를 해결할 방법으로 파장분할다중(WDM) 기반의 광전송 기술에 주목하게 되었으며, WDM 시스템이 도입되는 계기가 되었다. 최근에는 데이터의 정보 전송량이 음성정보 전송량을 능가하게 되었으며, 앞으로도 전송량의 급증은 지속될 것으로 예상되어 통신회사들은 파장분할다중화 기술을 적용한 장비가 광전송망을 구성하는 필수 장비로 자리잡고 있다. WDM 광전송시스템 기술은 파장이 다른 다수의 레이저 광원을 사용하여 하나의 광파이버를 이용해 동시에 다수의 파장을 보내는 기술로, 각 광신호(광파 또는 채널)는 이종의 다양한 서비스(즉 IP, SDH/Sonet, GbE, ATM 등) 트래픽을 전달할 수 있다. 채널 당 전송속도는 2.5Gb/s, 10Gb/s 또는 40Gb/s 등으로 동작하고 있다.

WDM 기술을 적용함에 따라 공존하는 기존 SDH/Sonet 망과 연동시 유지보수가 되지 않는 등 WDM 전송시스템에 다양한 신호를 다중화하여 초고속 신호에 직접 수용하는 데 어려움이 있다. 이를 해소할 수 있는 새로운 개념의 광전송계위(OTH)의 필요성이 대두되었으며, ITU-T에서 OTH의 프레임워크와 기본구조를 권고하고 있다. 이러한 표준화된 OTH 기술의 도입으로 WDM 기반 전송망과 기존 전송망과의 연동이 원활하게 이루어져 유지보

수 및 운영상의 문제점을 해소할 수 있을 뿐만 아니라, 기존의 다양한 신호 트래픽과 새로운 서비스 등장에 따른 신호 트래픽을 수용해서 전송이 가능하게 되었다[1]-[4].

본 논문에서는 WDM 기반 전송에서 필수적인 기술로 자리잡아 가고 있는 OTH 신호 전송기술을 살펴보고, 관련 기술개발 현황에 대해 알아본다.

II. OTH 신호 전송기술

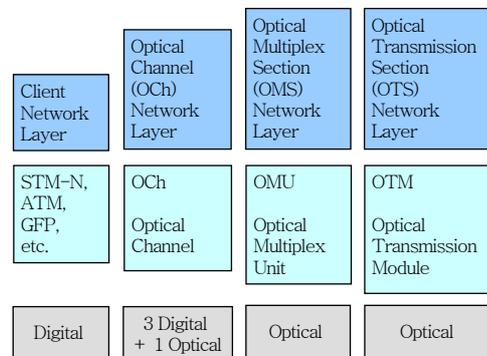
1. OTH 기본구조

OTH 신호 전송을 위한 신호 프레임의 기본구조를 이해하기 위해서는 페이로드(payload)와 오버헤드(overhead)의 개념을 이해해야 한다. 여러 형태의 다양한 종속 신호를 광 채널(optical channel)을 통해 신호를 전송하기 위해서는 전송신호를 적당하게 변환하는 기술이 필요하다. 이러한 변환작업을 위해 종속 신호의 데이터를 옮겨야 할 짐을 페이로드라 하며, 이에 대한 각종 정보를 오버헤드에 덧붙여서 광 채널을 통해 전송하게 된다. 즉 오버헤드는 각 구간별 페이로드의 종류, 형태, 출발지, 도착지 등의 정보를 지니게 되어 수신단에서 신호정보를 확인할 수 있는 기능을 한다.

(그림 1)은 OTH의 각 변환 단계별 계층을 구분하여 도시한 것이다. 기본적으로 OTH는 디지털 신호 계층인 종속망의 여러 가지 다양한 신호들(STM-

● 용어해설 ●

WDM(파장 분할 다중화, Wavelength Division Multiplexing) 광전송 시스템: 각기 다른 파장에서 동작하는 수십~수백 개의 광트랜스폰더를 파장 다중화 방식으로 묶어 하나의 광섬유를 통해 한꺼번에 수 조 비트(테라비트)의 데이터를 전송하는 초고속 광통신(광전송) 장치임.



(그림 1) OTH 계층

N, ATM, GFP, GbE 등)을 수용하여 광 신호 계층으로 신호를 변환하는 부분에 놓인다. OTH는 크게 광 채널, 광 다중화, 광 전송이라는 3개의 변환계층으로 구성되며, 각 계층에 전달되는 신호는 광 채널(OCh), 광 다중화부(OMS), 광 전송부(OTS)로 구성된다. 특히 광 채널 계층은 다양한 종속 신호의 수용(adaptation)과 다중화(multiplexing)를 위하여 좀더 세분화하여 3개의 디지털 계층과 하나의 광 계층으로 구성된다. 즉, 디지털 계위는 OPU, ODU, OTU로 이루어져 있으며, 이를 광신호로 변조하는 OCh라는 광 계층이 있다.

2. OTH 계위의 비트 레이트

<표 1>~<표 3>은 OPU, ODU, OTU의 비트 레이트를 정리한 것이다. OTH는 기본적으로 SDH 신호의 수용을 전제로 하고 있기 때문에, OTH 신호는 2.5G, 10G, 40G급 SDH 신호의 비트 레이트에 일정한 상수를 곱한 비트 레이트를 가진다. SDH와의 차이점은 OTH의 최소 비트 레이트 단위는 2.5G급이며, 각 계위의 비트 레이트가 정확히 4배씩 증가하지 않는다는 점이다. 이것은 다중화에서의 투명성을 유지하기 위함이다.

<표 1>~<표 3>의 비트 레이트를 살펴보면 k가 동일할 경우, OPU_k 페이로드 < ODU_k < OTU_k 순으로 비트 레이트가 약간씩 증가하는 것을 알 수 있다. 그 이유는 각 단계를 통과할 때마다 추가적으로 붙는 오버헤드 때문이다. (그림 2)는 이를 설명하기

위해 2차원으로 묘사되었던 프레임을 시간 순으로 길게 늘어놓은 그림이다. 만약 비트 레이트가 각 매핑 단계에 관계없이 일정하다고 하면, (그림 2)의 가운데 그림과 같이 늘어난 오버헤드만큼 시간이 지연된다. 이렇게 계속 늘어나는 오버헤드를 처리하기 위해서는 무한대에 가까운 보관장소가 필요하게 되므로 이렇게 하는 것은 사실상 불가능하다. 그러나

<표 1> OPU_k (k=1, 2, 3) payload 비트 레이트

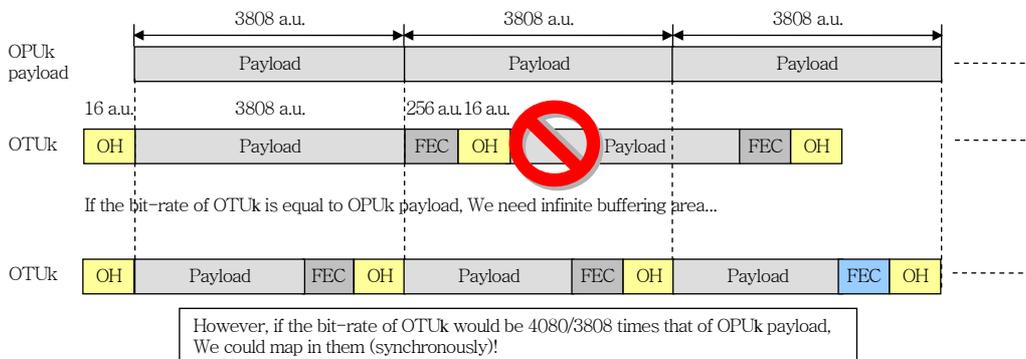
OPU type	OPU payload nominal bit-rate	Tolerance
OPU1	2 488 320kbit/s	
OPU2	238/237×9 953 280kbit/s= 9 995 276.962kbit/s	±20ppm
OPU3	238/236×39 813 120kbit/s= 40 150 519.322kbit/s	

<표 2> ODU_k (k=1, 2, 3) 비트 레이트

ODU type	ODU nominal bit-rate	Tolerance
ODU1	239/238×2 488 320kbit/s= 2 498 775.126kbit/s	
ODU2	239/237×9 953 280kbit/s= 10 037 273.924kbit/s	±20ppm
ODU3	239/236×39 813 120kbit/s= 40 319 218.983kbit/s	

<표 3> OTU_k (k=1, 2, 3) 비트 레이트

OTU type	OTU nominal bit-rate	Tolerance
OTU1	255/238×2 488 320kbit/s= 2 666 057.143kbit/s	
OTU2	255/237×9 953 280kbit/s= 10 709 225.316kbit/s	±20ppm
OTU3	255/236×39 813 120kbit/s= 43 018 413.559kbit/s	



(그림 2) 오버헤드에 따른 비트 레이트의 증가

(그림 2)의 가장 아래 그림처럼 비트 레이트를 증가 시켜서 OPUk 페이로드가 일정 비트를 보내는 시간과 동일한 시간에 오버헤드까지 보내준다면 이러한 문제가 해결된다. (그림 2)에도 나타났듯이 OTUk는 OPUk 페이로드보다 255/238배 큰 용량이 필요하므로,

$$\text{OTUk bit-rate} = 255/238 \times \text{OPUk payload bit-rate}$$

위의 식과 같이 표현된다. 이와 같은 방식으로 계산하면 k가 동일할 때 <표 1>~<표 3>에서 상수가 추출된다.

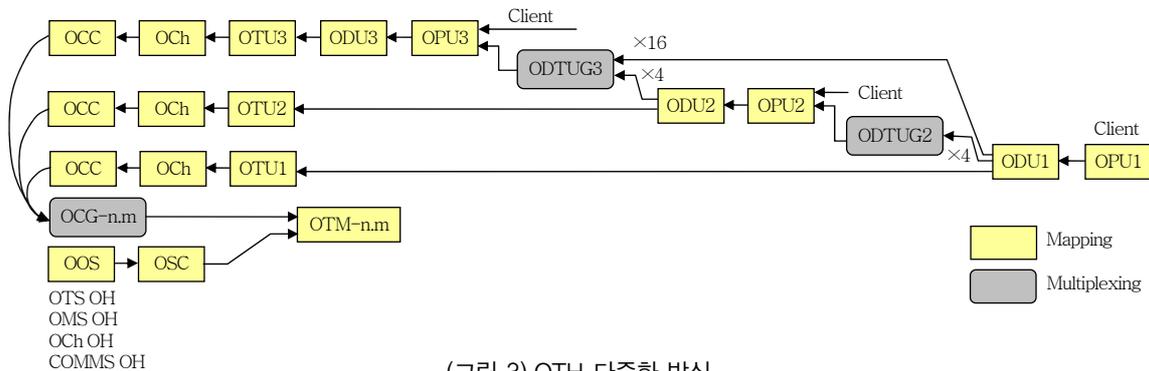
오버헤드 추가에 의한 비트 레이트 증가에도 불구하고, <표 1>~<표 3>의 비트 레이트는 정확히 4배가 되지 않고 그보다 약간씩 크다는 것을 알 수 있다. 다시 말해 OTU1의 4배가 정확히 OTU2가 되지

는 않는다. 이것이 SDH와 가장 큰 차이점이기도 하다. 이를 설명하기 위해 먼저 OTH에서의 다중화 방식을 도시하면 (그림 3)과 같다. ODU1 4개를 다중화하여 OPU2를 만들 수 있으며, 비슷한 방식으로 ODU2 4개로 OPU3를 만들 수 있도록 되어 있다. 또한 ODU1 16개를 다중화하여 OPU3를 만드는 다중화 방식도 가능하다. 이러한 다중화는 바이트 단위로 이루어지며, (그림 3)에서는 ODTUG2, ODTUG3라는 개념으로 표시되어 있다.

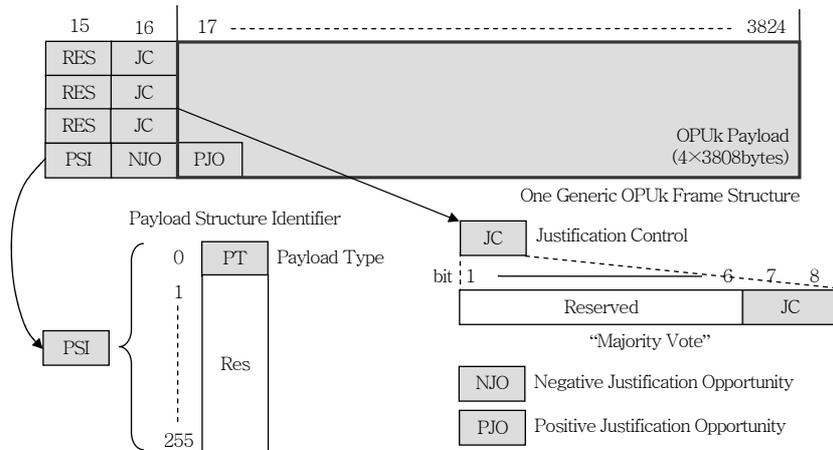
3. 종속신호의 매핑

가. 동기식 매핑과 비동기식 매핑

종속 신호의 매핑을 조사하기 전에 먼저 (그림 4)와 같은 OPUk 프레임을 이해해야 한다. 실제로 종



(그림 3) OTH 다중화 방식



(그림 4) 전체 OPUk 프레임

속신호의 정보가 매핑되는 부분은 전체 프레임 중 17~3824 열에 해당하는 OPUk 페이로드 영역이다. 일반적으로 총 4×3808바이트의 정보가 하나의 OPUk 프레임에 담길 수 있으며, 비동식 매핑의 경우 한 바이트가 덜 쓰여지거나 더 쓰여질 수도 있다. 또한 특수한 경우는 stuff 바이트로 채워지는 부분이 있을 수도 있다. 그러나 기본적으로 (그림 4)와 같은 구조를 유지하는 것은 모든 OTH 매핑에서 동일하다. 16열의 JC는 justification을 제어하기 위한 바이트로 수신단에서는 이 3개의 JC 바이트 중 2개 이상이 같은 정보일 때만 justification 정보로 인식한다.

(그림 5)는 동기식 매핑의 한 예를 도시한 것이다. SDH 망에서 9.95Gb/s의 신호가 입력되면 이 신호로부터 추출한 클럭에 맞추어 FIFO에 종속신호를 저장한다. FIFO로부터 종속신호를 추출하여 페이로드에 넣고 오버헤드를 덧붙이는 프레임링 동작을 한 후, 출력 역시 추출된 클럭과 동기를 맞추어 OTH 프레임을 출력하는 방식이다. <표 1>~<표 3>에서 알 수 있듯이 SDH 계열의 입력과 OTH 계열의 출력 클럭의 주파수가 조금씩 다르기 때문에 동기를 맞추기 위해서는 이를 공통 분모로 나누어 낮은 주파수 영역에서 동기를 맞추게 된다. (그림 5)의 경우와 같이 9.95GHz 클럭과 10.709GHz 클럭의 경우에는 255/237배의 작은 주파수 차이가 있으므로, 입력 SDH 신호로부터 추출한 9.95GHz 클럭을 237배로 분주시킨 클럭과 10.709GHz의 255배 분주된 클럭은 주파수가 일치하게 된다. 따라서 이렇

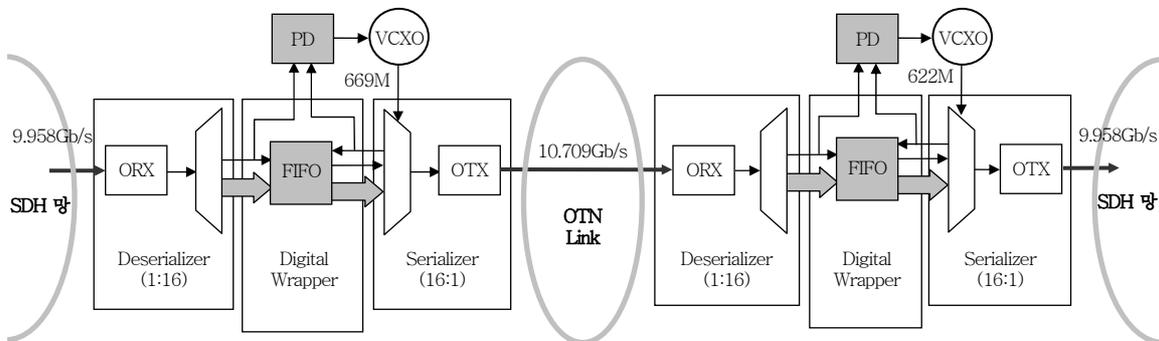
게 분주된 클럭을 서로 비교하여 동기를 맞추는 방식으로 매핑을 하게 된다.

비동기식 매핑과 동기식 매핑의 차이점은 비동기식 매핑의 경우 입력 데이터로부터 추출된 클럭은 FIFO에 저장할 때만 사용하고 프레임링 후 OTH 망으로 출력할 때는 별도의 시스템 클럭을 사용한다.

나. 다양한 종속신호의 매핑

2.5Gb/s SDH 신호를 OPU1 페이로드로 매핑하는 경우 <표 1>에서와 같이 OPU1 페이로드와 2.5G SDH 신호는 정확하게 공칭 비트 레이트가 일치한다. 그러나 공칭 비트 레이트의 허용도가 ±20ppm이므로 최대 40ppm까지 차이가 날 수 있다. 최대 40ppm이 차이가 나는 경우 justification ratio 혹은 stuff ratio는 0.609로 나온다. 이것은 2.5G SDH 신호와 OPU1 페이로드의 비트 레이트 사이에 +40ppm이 차이가 나는 경우 확률적으로 60.9%로 NJO에 데이터가 채워진다는 것을 의미한다. 한편, 이와 같은 매핑 구조에서는 NJO와 PJO가 각각 1바이트씩 있으므로, 최대 65ppm까지 차이가 나는 경우에도 비동식 매핑이 가능하다는 것을 알 수 있다.

ODU1 4개를 다중화 방식으로 묶어서 OPU2 페이로드에 매핑하는 경우 ODU1 주파수의 4배와 OPU2 페이로드의 주파수가 정확히 일치하지는 않는다. 종속신호와 서버가 모두 공칭 비트 레이트를 유지하고 있다면 서버(OPU2 페이로드)의 속도가 더 빠르므로 언젠가는 FIFO의 데이터를 읽지 않고



(그림 5) 동기식 매핑의 한 예

남겨둘 가능성을 항상 지니게 된다. 이것은 바꿔 말하여 동기식 매핑은 불가능한 구조라는 것을 의미한다. ODU1 4개를 OPU2 페이로드로 매핑하는 구조에서는 주파수 편차가 -40ppm 차이가 나더라도 stuff ratio는 -1을 넘지 않으므로 PJO 1바이트로도 매핑이 가능하다. 하지만 종속신호 매핑의 경우와 같은 최대 65ppm까지 보장하기 위해서는 PJO 2바이트가 필요하며, 이때의 허용 가능한 주파수 편차는 +83.3ppm~-113.6ppm으로 약 196ppm의 범위를 지닌다.

ODU2 4개를 시분할 다중화하여 OPU3 페이로드에 매핑하는 경우도 앞서 설명한 바와 마찬가지로 비동기식 매핑만이 가능하며, 특히 주파수 편차가 -40ppm 차이가 날 경우에도 stuff ratio는 -1.15 정도로서 -1을 넘기 때문에 PJO 2바이트가 필요하다.

10G SDH 신호인 STM-64를 OPU2 페이로드에 매핑할 때에 64바이트의 FS(모두 "0"으로 채워짐)를 사용하며, 종속신호와 서버 프레임이 모두 공칭 비트 레이트를 유지할 경우에는 justification이 필요 없는 상태가 된다. 따라서 이 매핑 구조에서는 OPU2 페이로드의 정가운데의 16열(x4행)을 모두 FS로 할당한다. 이 경우 2.5G SDH를 OPU1 페이로드에 매핑하는 경우와 비슷하게 -65.9~+65.9ppm의 허용도가 보장된다.

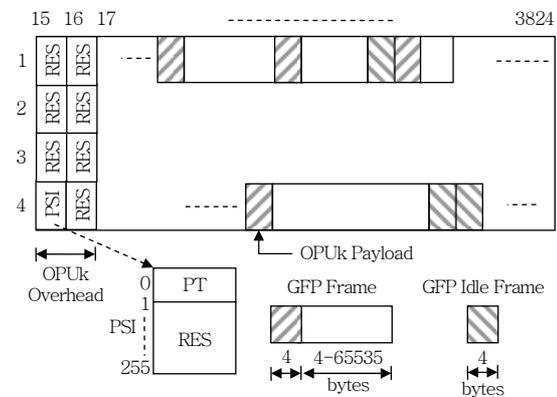
40G SDH 신호인 STM-256 신호를 OPU3 페이로드에 매핑하는 경우, OPU3 페이로드에서 총 128바이트의 FS를 사용하며, FS를 두 부분으로 나누어서 각각 64바이트씩 차지하도록 배치한다.

ODU1 16개를 다중화하여 OPU3 페이로드로 매핑하는 구조의 경우 비동기식 매핑만이 가능하다. ODU1 16개가 OPU3 페이로드에 매핑되기에는 OPU3 페이로드의 비트 레이트가 조금 더 높다. 따라서, 각 ODU1을 OPU3 페이로드에 매핑할 때에 고정적으로 4개 stuff 바이트의 할당이 필요하며 ODU1 16개를 수용해야 하므로 총 64바이트의 FS가 필요하다. 따라서 이 매핑 구조에서는 OPU3 페이로드의 가운데 부분의 16열(x4행)을 FS로 배정한다.

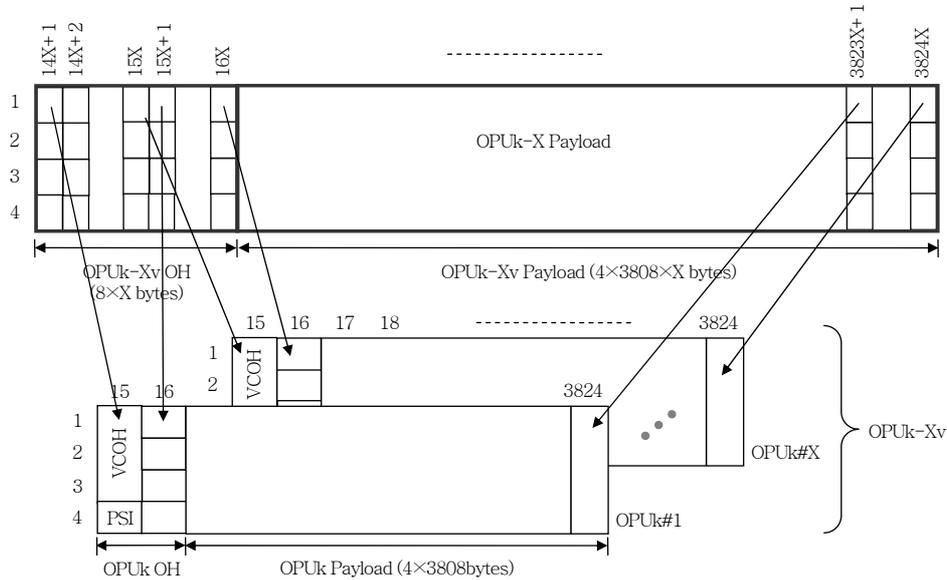
TDM 신호 외에 PDU 지향의 IP/PPP, 이더넷 계열(GbE, 10GbE) 신호와 블록 코드 지향의 FC, ESCON 등 신호들의 OTH 수용은 GFP 프레임임을 통해 가능하다[5].

GFP 프레임의 매핑은 (그림 6)과 같이 매 GFP 프레임의 바이트 구조를 OPUk 페이로드의 바이트 구조에 정렬시키면 된다. GFP 프레임은 길이가 다양하므로 한 프레임이 OPUk 프레임 경계를 넘어갈 수도 있다. GFP 프레임들은 OPUk 페이로드 영역에 일치하는 용량을 가진 연속적인 비트 스트림으로써 입력된다. GFP encapsulation 단계에서 idle 프레임이 삽입되고, 스크램블링되므로 매핑 단계에서는 비트 레이트를 맞추거나 스크램블링 작업은 필요하지 않다.

한편, 가상 연결(virtual concatenation)을 이용한 매핑은 STM-64와 STM-256 신호를 10G나 40G 파장을 이용하지 않고 전송할 수 있게 한다. (그림 7)과 같이 먼저 OPUk-Xv 프레임에 SDH, GFP 등 다양한 종속신호를 매핑한 후, 이를 X개의 개별적인 OPUk로 매핑한다. 여기에 각각 ODUk 오버헤드를 추가하여 전송한다. 즉, ODUk-Xv의 각 ODUk 프레임은 개별적으로 네트워크를 따라 전송된다. 단, 이 경우 ODUk 프레임 사이의 전송 지연차 때문에 수신부에서 이를 보상하여 줄 필요가 있다. 이와 같은 가상 연결을 이용하면, STM-256 신호의 경우 OPU2-4v 혹은 OPU1-16v로 매핑하여 전송할 수 있다.



(그림 6) GFP를 OPUk로 매핑하는 예



(그림 7) 가상 연결 OPUk-Xv 매핑 구성

Ⅲ. 기술개발 현황 및 전망

1. 관련 칩 개발 현황

여기서는 OTH 신호 전송을 위한 최종 제품인 OTU 프레임어의 국내외 칩 개발 기술 동향을 알아보고자 한다. 주로 상용화된 제품 혹은 IP (Intellec-

tual Property) core를 제공하고 있는 주요 회사들을 위주로 정리하였으며, 기술적으로는 크게 OTU1, OTU2, OTU3 프레임어로 구분하여 기술하였다.

가. 2.5G급 OTU1 프레임어 현황

2.5G급 FEC 기능을 포함하는 OTU1 프레임어

〈표 4〉 OTU1 프레임어 칩 비교표

Feature	Intel (IXF30009)	Intel (IXF30025)	AMCC (S4815)	Agere (TFEC0410G)	Vitesse (VSC9271)
Support number for 2.5G client signals	4	1	1	4/1	1
G.709 compliant FEC (line/system interface)	✓	✓	✓	✓	✓
Enhanced FEC (net coding gain)	-	-	✓ (>8dB)	-	-
STM-16 mapping & section/line overhead term.	✓	✓	✓	✓	✓
Bi-direction G.709 overhead processing (regeneration)	4x4 switch(4)	1	2	1	1
Power	8W max. (1.5V/2.5V/3.3V)	2W max. (1.8V/2.5V/3.3V/1.25V)	1.5W max./Vcc (1.2V/2.5V)	6.3W max. (1.5V/3.3V)	3.5W max. (1.8V/2.5V)
Board interface capability	4bit LVDS	16bit LVDS	16bit/4bit LVDS	16bit/4bit LVDS	16bit LVDS
Extra	868pin TBGA	576pin TBGA	624pin PBGA	Weak BCH-3 (4359, 4320) FEC, 600pin LBGA	Multi-rate FEC (STM-64/16/41, GbE, FC)

는 AMCC (S3052/62, S4815), Intel (IXF300025, IXF30009), Vitesse (VSC9271) 등에서 개발하여 판매하고 있다. OTU1 프레임머는 주로 STM-16 신호를 수용하여 ITU-T G.975에서 표준화한 FEC 기능을 탑재하고 있다. AMCC에서는 enhanced FEC 기능을 가진 OTU1 프레임머를 2005년에 출시하였으며, Intel에서는 4채널의 STM-16 신호를 수용하여 4채널의 OTU1 신호 또는 OTU2 신호로 생성하는 4채널의 OTU1 프레임머 칩을 현재 제공

하고 있다. <표 4>에서는 OTU1 프레임머 칩의 회사별 특성을 비교해 보았다.

나. 10G급 OTU2 프레임머 현황

10G급 FEC 기능을 포함하는 OTU2 프레임머는 AMCC (S19203, S19208, S19227, S19231), Intel (IXF30009, IXF30007), Vitesse (VSC6134), Broadcom (BCM8512) 등에서 판매하고 있다. 현재 시장에서 판매되는 OTU2 제품은 OTU1 프레임머

<표 5> OTU2 프레임머 칩 비교표

Feature	Intel (IXF30009)	Intel (IXF30007)	AMCC (S19227)	BroadCom (BCM8512)	Agere (TFEC0410G)	Vitesse (VSC6134)
Support number for 10G/2.5G client signals	1/4	1/-	1/-	1/-	4/1	1/-
G.709 compliant FEC (line/system interface)	✓	✓	✓	✓	✓	✓
Enhanced FEC (net coding gain)	✓ (>10.7dB)	✓ (>9.5dB)	✓ (>8dB)	-	-	✓ (>9dB @10E-13)
STM-64 mapping & section/line overhead term.	✓	✓	✓	✓	✓	✓
Asynchronous mapping	✓	✓	✓	-	✓ (STM-64)	✓
4×STM-16 mapping/section and line overhead term.	✓ (aggregation multiplexing)	-	-	-	✓	-
10GbE performance monitoring/10GbE mapping	✓ (extended mapping)	-	✓ (extended or GFP mapping)	✓ (extended mapping)	-	✓ (extended mapping)
Bi-direction G.709 overhead processing (regeneration)	2	1	2	1	1	2
4×ODU1/OTU1 multiplexing/overhead term.	✓	-	-	-	-	-
Reverse multiplexing (10G over 4×2.5G)	✓	-	-	-	-	-
Quad 2.5G crossbar	✓	-	-	-	-	-
Integrated 10 Gigabit transceiver with limiting amp.	-	-	2006년 예정	✓	-	-
Integrated dispersion compensation control	-	-	✓ (EDC S3094)	-	-	-
Power	8W max. (1.5V/2.5V/3.3V)	10W max. (1.8V/2.5V/3.3V/1.25V)	5W max./Vcc (1.2V/2.5V)	2W max./Vcc (1.2V/2.5V)	6.3W max. (1.5V/3.3V)	3.5W max. (1.8V/2.5V)
Board interface capability	16bit LVDS	16bit LVDS	16bit LVDS	16bit LVDS XFI	16bit LVDS	16bit LVDS
Extra	868pin TBGA	576pin TBGA	624pin PBGA	31mm×31mm HSBGA	600pin LBGA	Iterative decoding (transmission rate 7.1%)

와 달리 각 벤더별로 제공하는 제품의 기능 및 신호 인터페이스 규격이 다양하다. Intel에서는 유일하게 ITU-T G.709에서 표준화된 4채널 ODU1을 ODU2로 다중화하는 기능을 포함하고 있다. Intel, Vitesse 및 AMCC 등에서는 enhanced FEC 기능을 가진 OTU2 프레이머를 제공하고 있다. 각 사마다 10GbE LAN 신호를 OTU2 프레임에 매핑하는 기능을 제공하고 있으나 ITU-T G.709에서 표준화된 GFP를 이용한 매핑 방법은 AMCC에서만 제공하고 있다. Intel에서는 10GbE LAN 신호를 GFP로 매핑하기 위해서 별도의 FPGA를 추가 사용한 솔루션을 내놓았다. AMCC에서는 EDC 칩과 OTU2 프레이머의 FEC를 연동하여 분산을 능동적으로 보상할 수 있는 제품군을 현재 제공하고 있다. 대부분의 제품이 전달망 인터페이스로 SFI-4.1을 사용하고 있다. 반면에 Broadcom에서는 XFP 모듈에 직접 연결할 수 있는 XFI 인터페이스를 채택한 OTU2 프레이머를 제공하고 있으며, AMCC는 이와 동일한 인터페이스를 가지는 칩을 2006년에 초기버전 제품을 출시하였다. Agere는 2002년에 개발한 TFECO410G

칩 이후에 특별히 개선된 칩을 판매하고 있지 않다. <표 5>에서는 OTU2 프레이머 칩의 회사별 특성을 비교해 보았다.

다. 40G급 OTU3 프레이머 현황

FEC 기능을 포함하는 40G급 OTU3 프레이머를 상용화하여 제품을 공급하는 업체는 아직 없어 시스템 개발업체의 경우 자체 ASIC을 설계하여 유사 기술을 사용하고 있다. CoreOptics에서는 OTU3 Mux/Dmux와 FEC 기능을 분리한 2칩 솔루션(CO 40 MUX10 & CO40FEC10)을 2006년 초에 발표하였다. AMCC에서는 OTU3 프레이머와 유사한 기능을 갖는 PECOS를 2차 제작중에 중단하였고, 새로 OTU3 프레이머를 기능 설계한 VAH를 개발중에 있으나 현재 RTL 설계 단계에서 중단한 상태이다. 2002년 초반에 OptiX Networks사는 SDH 및 OTN 프레이머와 FEC 기능을 통합한 40Gb/s 반도체 솔루션을 발표하였으나, 상용화 제품을 판매하지 않고 있다. <표 6>에서는 OTU3 프레이머 칩의 회사별 특성을 비교해 보았다.

<표 6> OTU3 프레이머 칩 비교표

Feature	CoreOptics (CO40FEC10)	CoreOptics (CO40MUX10)	AMCC (PECOS)	AMCC (VAH)
Support number for 40G client signals	1 (asynchronous 가능)	-	1	1
G.709 compliant FEC (line/system interface)	✓	✓	✓	✓
Enhanced FEC (net coding gain)	✓ (>8.3dB)	-	-	✓ (>8.3dB)
STM-64 mapping & section/ and line overhead term.	-	✓ (aggregation multiplexing)	✓ (SDH, 포인터 처리 기능 없음)	?
4x OTU2/ODU2 multiplexing/ overhead term.	-	✓	-	?
Bi-direction G.709 overhead processing (regeneration)	1	1	1	?
Power	10W max. (1.2V/2.5V)	10W max. (1.2V/2.5V)	8W max. (1.2V/2.5V)	10W max.
Board interface capability	16bit CML (SFI-5.1)	16bit CML (SFI-5.1)/ 4bit CML (SFI-5.1s)	16bit CML (SFI-5.1)/4bit CML	?
Extra	900pin FC-BGA	1089pin FC-BGA	728pin PBGA, Beta 버전 제작	960pin LBGA RTL에서 중단된 상태

라. IP Core 설계

Xelics에서는 RS(255,239)의 FEC 기능을 포함하는 OTU1, OTU2 프레임에 대한 IP core는 2006년 말에 출시 예정이고, OTU3 프레임에 대한 IP core는 2007년 초에 출시할 예정이다. 데이터 bus width는 64bit 또는 128bit로 구성되어 있어 외부 인터페이스는 별도 설계를 하여야 한다. OTU3 프레임의 경우에는 속도 문제로 FPGA 보다는 ASIC에서 구현하는 것이 가능성이 높다.

2. 국내개발 현황

국내에서는 ETRI에서만 OTU3 프레임을 개발하고 있으며, OTU1, OTU2 또는 OTU3 프레임을 개발하는 업체는 없는 상황이다. 2004년도에 KERI(한국전기연구원)에서 OTU1 및 OTU2 프레임에서 사용 가능한 RS(255,239) FEC를 기능만을 설계하였었다. 현재 ETRI에서는 4채널의 STM-64 종속신호를 수용하는 OTU3 프레임 개발을 FPGA를 이용하여 진행하고 있다.

3. 국내의 표준화 현황

현재 OTU1, OTU2, OTU3 프레임에 대한 표준화는 ITU-T G.709에서 권고되어 있고, OTU 프레임에 포함되는 FEC로 RS(255,239)에 대한 표준화는 ITU-T G.975에서 권고되어 있으며, enhanced FEC는 ITU-T G.975.1에서 권고되어 있다.

현재 10G 광모듈과 OTU2 프레임간의 접속 규격이 OIF SFI-4로 정의되어 있으며, 40G 광모듈과 OTU3 프레임 간의 접속 규격이 OIF SFI-5로 정의되어 있다.

4. 향후 전망

OTU1 및 OTU2 프레임의 경우 enhanced FEC 기술이 지속적으로 안정화 될 것으로 보이며, 표준의 문제로 ultra-long haul OTN 시스템을 제외한 일반 OTN 시스템에서는 RS(255,239) FEC를

사용한 OTU 프레임이 대부분 사용될 것으로 예상된다. 칩 생산업체별로 같은 패키지에서 enhanced FEC를 포함한 칩과 포함하지 않은 두 종류의 칩을 생산 및 공급하고 있다. OTU1 프레임에 대한 자체기술은 거의 성숙단계이며 가상 연결 기술을 이용하여 10G급, 40G급, 160G급 OTU1 프레임이 개발될 것으로 보인다.

OTU2 프레임의 경우 EDC 기능을 포함하거나 EDC 칩과 연동하여 분산을 보상할 수 있는 기술로 발전할 것으로 기대된다. 10GbE LAN 신호 수용에 있어서 새로운 기술이 개발될 것으로 보이며, ITU-T G.709 표준에 근거한 ODU1을 ODU2에 다중화 함은 물론 ODU2 신호를 ODU1으로의 inverse 다중화 기술이 개발될 것으로 보인다.

OTU3 프레임의 경우 고속 RS(255,239)의 FEC 및 enhanced FEC 기술이 적용된 칩이 지속적으로 개발될 것으로 보이며, 현재는 일부 업체에서 개발 또는 개발중단 상태에 있으나 40Gb/s급 시스템의 활성화 정도에 따라 제품 개발이 본격적으로 진행될 것으로 기대된다. 국내에서는 OTU1 및 OTU2 프레임에서 개발되었던 신호 수용 기술이 OTU3 프레임에 적용될 것이므로 고속 FEC 기술은 물론 신호 수용 및 다중화 기술을 확보하는 것이 대외 경쟁력을 확보하는 계기가 될 수 있다.

IV. 결론

본 문서는 WDM 기반 전송에 필수적인 OTH 신호 전송을 위한 핵심 기술에 관해 분석하고 나아가 관련 기술개발 동향에 대해 기술해 보았다.

다양한 종속신호의 매핑 방법으로 2.5Gb/s, 10 Gb/s 및 40Gb/s SDH 신호를 OPUk (k=1,2,3) 페이로드로 매핑, OTH 다중화 구조 하에서의 다양한 매핑(4 ODU1 → OPU2 페이로드, 4 ODU2 → OPU3 페이로드, 16 ODU1 → OPU3 페이로드), GFP 프레임 오픈 OPUk로의 매핑, 그리고 가상 연결을 이용한 매핑 구조에 대해 알아보았다.

프레이머 기술 개발의 경우 OTU1, OTU2는 개발완료 단계이며, OTU3 프레이머는 고속 RS(255, 239)의 FEC 및 enhanced FEC 기술이 적용된 칩이 지속적으로 개발될 것이다. 40Gb/s급 시스템의 활성화 정도에 따라 제품 개발이 본격적으로 시작될 것으로 기대되며, OTU1 및 OTU2 프레이머에서 개발되었던 신호 수용 기술이 OTU3 프레이머에 적용될 것이므로 고속 FEC 기술은 물론 신호 수용 및 다중화 기술을 확보하는 것이 대외 경쟁력을 확보하는 계기가 될 수 있을 것으로 기대된다.

약어 정리

ASIC	Application Specific Integrated Circuit
ATM	Asynchronous Transfer Mode
EDC	Electrical Dispersion Compensation
ESCON	Enterprise Systems CONNECTION
FC	Fiber Channel
FEC	Forward Error Correction
FIFO	First Input First Output
FPGA	Field Programmable Gate Array
FS	Fixed Stuff
GbE	Gigabit Ethernet
GFP	Generic Framing Procedure
IP	Internet Protocol

ITU-T	International Telecommunication Union - Telecommunication sector
LAN	Local-Area Network
LVDS	Low Voltage Differential Signal
OCh	Optical Channel
ODTUG	Optical channel Data Tributary Unit Group
ODU	Optical channel Data Unit
OMS	Optical Multiplex Section
OPU	Optical channel Payload Unit
OTH	Optical Transport Hierarchy
OTN	Optical Transport Network
OTS	Optical Transmission Section
OTU	Optical channel Transport Unit
PD	Phase Detector
PDH	Plesiochronous Digital Hierarchy
PDU	Protocol Data Unit
PPP	Point-to-Point Protocol
RS	Reed Solomon
RTL	Resistor Transistor Logic circuit
SDH	Synchronous Digital Hierarchy
SONET	Synchronous Optical NETWORK
VCXO	Voltage Controlled Cristal Oscillator
WDM	Wavelength Division Multiplexing
XFI	XFP Frammer Interface
XFP	10Gb/s small-Form factor Pluggable

참고 문헌

- [1] ITU-T G.709, Interface for the optical transport network, 2003. 12.
- [2] ITU-T G.975, Forward error correction for submarine systems, 2000. 10.
- [3] ITU-T G.975.1, Forward error correction for high bit rate DWDM submarine systems, 2004. 2.
- [4] ITU-T G.872, Architecture of optical transport networks, 2004. 12.
- [5] ITU-T G.7041, Generic framing procedure (GFP), 2005. 8.

● 용어해설 ●

OTU(광전송계위, Optical channel Transport Unit): 광전송계위(OTH: WDM 광채널계층의 클라이언트로 디지털 전송구조임)에서는 3개의 계층단위, 즉 OPU, ODU, OTU로 나누며, 클라이언트 페이로드 동기화 단위는 OPU이고, 매핑 및 다중화 데이터 단위는 ODU이며, 전송프레임 단위는 OTU이다. OTU 프레임은 OTU 페이로드, 오버헤드 및 FEC로 구성되며, 전송 레벨은 2.5G, 10G, 40G급까지 가능하며, 각각 OTU1, OTU2, OTU3로 구분됨.