

반전층에서의 애벌런치 현상을 이용한 냉음극

이정용*

청주대학교 전자정보공학부, 청주 360-764

(2007년 10월 2일 받음)

FED(Field Emission Display)는 특히 소형, 고품질 평면화면분야에서 종래의 기술들과 뚜렷이 구별되는 이점을 가지고 있다. FED를 실리콘 웨이퍼에 System-on-Chip(SoC)화하는 가능성을 검토하기 위해, 우리는 p-n 접합을 평면 디스플레이의 전자 선원(electron beam source)으로 사용할 수 있는지를 실험하였다. Cantilever(외팔보)형 게이트로부터의 전계로 반전층을 형성하여 p-n 접합을 형성하는 새로운 구조를 제조하였다. 약 1 μm 정도의 높이에 있는 cantilever형 게이트에 220V 이상의 전압을 가했을 때 반전층(inversion layer)이 형성되었고, 애벌런치 항복이 성공적으로 이루어졌다. 극히 얇은 p-n 접합에서 애벌런치 항복 시 관측되는 전자방출 효과와 그 특성이 비교되었고 실험결과와 향후 연구방향이 논의 되었다.

주제어 : 냉음극, 반전층, 애벌런치 항복, 쇼트키 효과, 실리콘

I. 서 론

애벌런치 항복 상태에 있는 p-n 접합이 진공 중에서 전자를 방출한다는 것은 오래 전부터 알려져 왔다[1]. 그리고 CRT, 전자현미경(SEM), FPD(Flat Panel Display), 진공계측기 같은 각 종 전자기기의 전자 소스로서 사용하기 위하여 애벌런치 항복 상태로 바이어스 된 얇은 p-n 접합을 이용하려는 시도에 괄목할 만한 진전이 있었다[2, 3]. 그것은 이온 주입(ion implantation)에 의한 극히 얇은 p-n 접합의 형성과 세슘(Cs) 증착에 의한 전자방출효율의 증가에 의한 것이었다. 세슘이 증착이 된 p-n 접합은 3 μm 보다 작은 직경의 크기에서 5%의 방출효과와 ~1500 A/cm²의 전류밀도를 나타내었다. 그러나 실용적이지 못한 제조 및 동작 조건, 즉 ~10⁻¹¹ torr의 진공 하에서 원자층 두께의 세슘 증착이 이루어져야하고, 그 상태로 소자가 동작되어야 하는 조건과 불안정한 세슘 박막의 특성으로 인하여 실용화되지는 못했다.

애벌런치 상태의 p-n 접합에서 높은 방출효율을 얻을 수 있다면, 구조 편차와 이온 충격(ion bombardment)에 민감하고[4], 전자방출 영역이 날카로운 구조의 음극에서 분자단위의 몇 개의 영역 또는 배열 중에서도 몇 개의 음극에 집중되는 경향이 있는 Spindt 형의 냉음극(cold cathode)이나 탄소 나노 섬유[5, 6]를 이용한 FED와는 달리 전자 방출 부분이 분자단위의 지점이 아니라 직경 5 μm

정도의 넓은 부분에서 균일하게 발생하므로[7], 방출부분이 손상되지 않는다. 또한 일반적인 반도체 공정을 사용하므로, 안정된 공정과 소자동작특성을 갖고 있어서 반복성, 균일성에서 우수하고, 그 외에 특유한 장점을 가질 수 있다. 즉, 제조공정이 일반 CMOS 공정과 병합될 수 있고 간단하여 구동회로, 응용회로 등과 동시에 높은 수율을 가지고 같은 칩에 형성될 수 있다. 그러므로 칩 내의 빈 공간을 이용하여 센서, 연산장치, 메모리, 통신회로 등의 회로를 함께 제작하는 것이 가능하여 극소박막형의 SoC 디스플레이의 구현이 가능할 것이며, 또한 비정질 실리콘으로 구현이 가능하다면, LCD와 같은 대형 화면의 제작도 가능할 것이다[8]. 그리고 애벌런치 항복은 5 volt 정도의 전압에서도 가능하므로, 전자방출에 몇 백 volt 단위의 전압이 필요한 기존의 FED 냉음극과는 달리 쉽게 매우 빠른 신호처리도 가능하다. 애벌런치 항복은 가장 빠른 스위치 메커니즘 중의 하나이다.

본 연구에서는 일반 실리콘 반도체 회로 공정과 병행될 수 있게, 실리콘 웨이퍼에 이온 주입을 하거나 또는 전계에 의한 반전층 형성을 이용하여 배열형태의 극히 얇은 p-n 접합을 구현하고, 애벌런치 항복 하에서 세슘 증착이 없이 열전자를 방출하는 Silicon Avalanche Cathode(SAC)[9]의 구현 가능성에 대해 검토하고자 한다. 본 실험에서는 두 가지의 다른 구조의 냉음극인 소자1과 소자2가 제작되어 시험되었다. 우리는 본 논문에서 소자1(극히 얇은 p-n 접

* [전자우편] jung_ea@cju.ac.kr

합형) 및 소자2(반전층형)로 제작된 SAC 소자의 동작특성을 함께 보고한다.

II. 소자1의 특성(극히 얇은 접합형)

2.1. 소자1의 구조

소자1[7, 9]은 이온 주입에 의해 형성된 극히 얇은 p-n 접합을 이용하여 냉음극을 구현하였다. 여러 가지 다른 크기와 모양의 개별 SAC와 배열화된 SAC들이 같은 칩에 함께 제조되었고, 각 소자와 배열들은 개별적으로 바이어스될 수 있도록 설계되어졌다. Fig. 1(a)에 소자1 내의 여러 종류의 캐소드 중에 하나의 단면도가 보이고 있다. (a)에 보이는 에피층의 상단 중앙에 있는 n⁺-p 접합이 애벌런치 상태로 바이어스 되었을 때, 표면 밖으로 전자가 방출되었고, 소자의 외부에 위치된 금속 애노드를 통하여 방출전자가 검출되었다.

SAC 소자는 p⁺형 실리콘 기판 위에 성장된 p형 에피층에 제작되었다. Fig. 1(a)에 제작된 SAC 소자1 내의 여러 캐소드 중 하나의 단면도가, (b)에 평면도가 보이고 있다. Fig. 1(a)의 맨 위에 위치되어 있는, 칩 위에 약 1 mm의 거리를 두고 설치된 스테인리스 막대는 방출된 전자를 흡수하고, 전자의 방출특성과 운동에 영향을 가하므로, 애노드 또는 게이트로 칭해질 수 있다. 소자1의 외부 애노드의 경우에는 주로 방출된 전자를 수집하는 역할을 하므로 애노드라 칭하고, 소자2의 칩 상(上) 폴리실리콘의 경우에는 반전층의 형성 및 전자의 방출운동에 영향을 가하는 역할을 하기 때문에 게이트로 칭하기로 한다. Fig. 1(a)에서 에피층 상단 중앙에 보이는 n⁺-p 접합영역은 전자가 방출되는 곳이므로, 캐소드라 칭한다. Fig. 1(a)에서 캐소드의 좌우에 보이는 n⁺ 접촉영역(contact region)은 마치 MOS 소자의 소스와 드레인과 같이 보이지만, 실제로는 (b)의 평면도에서 보는 바와 같이 캐소드 둘러싸고 있는 동심형의 연결된 영역으로, 표면층에 얇게 연결된 n⁺ 채널을 통하여 캐소드 내의 n⁺-p 접합영역에 (a)의 단면도에서 보이듯이 역방향 바이어스 전압 V_r을 가하므로 접촉영역이라 칭한다. 배열화된 캐소드라 함은 하나의 n⁺ 채널 내에 여러 개의 p형 캐소드가 형성되는 것을 뜻한다. Fig. 1은 n⁺ 채널 내에 하나의 캐소드가 있는 경우이다.

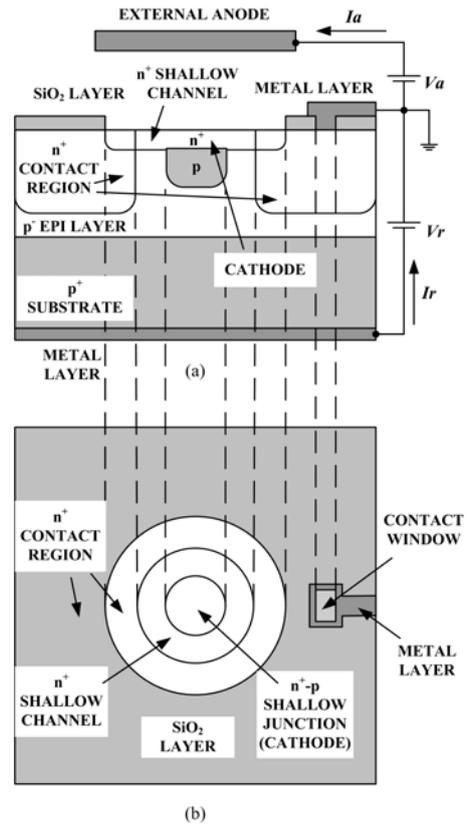


Fig. 1. silicon avalanche cathode with relevant parameters. (a) Cross section view, (b) top view.

p⁺형 실리콘 기판은 밑면의 접촉으로부터 캐소드까지의 직렬 저항을 줄인다. n⁺ 접촉영역은 캐소드에 균등한 전압을 공급하기 위하여 본 실험에서는 필요 이상으로 크게 설계되었다. 캐소드는 기판 밑면의 접촉과 에피층의 n⁺ 접촉영역을 통하여 V_r로 애벌런치 항복상태로 역방향 바이어스가 되면 캐소드는 표면에서 전자를 방출하게 된다. 소자1의 경우에 방출된 전자는 캐소드에 대해 양 전위 상태의 스테인리스 애노드에 의해 수집되어진다. 소자1형의 SAC의 동작에 관한 이론 및 실험결과는 기존의 연구[7, 9]에 자세히 설명되어있다.

2.2. 소자1의 제조공정 및 특성계측

A. 공정과정

개별 캐소드 및 배열화된 캐소드로 형성된 SAC(Silicon Avalanche Cathode) 소자1이 p⁺ 기판위에 성장된 <100> p⁻형 실리콘 에피 웨이퍼(4Ω) 상에 제조되었다. 단위 캐소드들의 크기는 직경 5 μm~40 μm 크기의 원형으로 만들

어졌다. 면적당 방출전자를 증가시키기 위하여 8개의 $5\ \mu\text{m}$ 직경의 캐소드와 6개의 $10\ \mu\text{m}$ 직경의 캐소드로 이루어진 배열들도 제작되었다.

Fig. 1에 보인 바와 같이 가운데가 비어있고 서로 연결된 n^+ 접촉영역이 P 이온 주입 및 확산으로 형성되었다. 그 뒤에 캐소드를 형성하는 p형 영역을 n^+ 접촉 부분의 가운데 비어있는 부분에 도스 $1.8 \times 10^{14}\ \text{cm}^{-2}$, 가속 에너지 80 keV로 B를 이온 주입한 후 노 확산(furnace diffusion)으로 형성하였다. 그 뒤 극히 얇은 n^+ 채널을 As 이온 주입($10\ \text{keV}$, dose $1 \times 10^{14}\ \text{cm}^{-2}$) 후 800°C 로 노열(furnace annealing)하여 solid phase epitaxy 성장과정을 통하여 파괴된 결정을 복구하고 전기적으로 As을 활성화함으로써 얇은 n^+ -p 접합을 형성하였다. SIMS 분석을 통하여 As 농도는 약 $120\ \text{\AA}$ 깊이에서 최대치를 나타냈고 약 $300\ \text{\AA}$ 깊이에서 n^+ -p 접합을 형성하였다. n^+ 채널은 채널 내의 p형 영역과 n^+ -p 접합을 이루어 캐소드를 형성하고, 캐소드와 접촉영역사이에 전기적 연결을 이룬다. 마지막으로 접촉층의 형성 및 배선층을 형성함으로써 소자1을 완성하였다.

B. 계측과정

한 개의 칩에는 18개의 개별적으로 바이어스 될 수 있는 다양한 모양과 크기의 SAC 소자가 형성되어있다. 소자는 안정된 전자방출 특성을 계측하기 위해, 캐소드 부분의 자연발생 산화막(native oxide)을 제거한 후 진공시스템 내에 장착되었고, 캐소드 위의 약 $1\ \text{mm}$ 지점에 스테인리스 애노드가 위치되었다. 소자와 애노드는 도선으로 전원 및 계측기에 연결되었다. 진공 시스템은 진공 시스템 내에 이온화된 기체로 인한 배경 잡음을 줄이기 위해, 낮은 10^{-9} torr영역으로 진공화되었다. 진공 시스템 내의 SAC 소자는 Fig. 1(a)에 보인 것과 같이 바이어스 되어 작동 및 계측되었다. V_a 는 애노드 전압이고, V_r 은 역방향 바이어스 전압, I_a 는 애노드에서 검출된 전류, I_r 은 n^+ -p 접합을 통해 흐르는 역방향 애벌런치 항복전류이다.

2.3. 결과 및 논의(소자1)

A. 전자 방출영역

캐소드가 애벌런치 영역으로 역방향 바이어스 되었을 때, 전자를 방출하며 공기 중에서 흰색 빛을 방출한다. Fig. 2(a)에 $30\ \mu\text{m}$ 직경의 캐소드와 Fig. 2(b)에 6개의

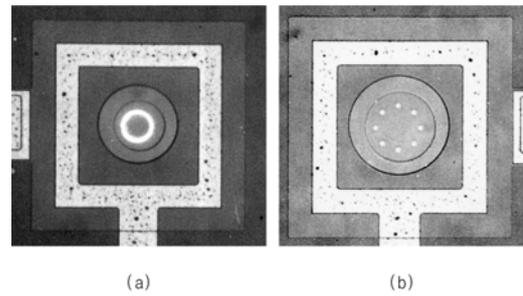


Fig. 2. White light emitted at cathodes : (a) $30\ \mu\text{m}$ diameter cathode, (b) arrayed cathodes : 6 cathodes of $5\ \mu\text{m}$ diameter.

$5\ \mu\text{m}$ 직경의 캐소드의 배열에서 백색광이 방출되는 것이 보인다. Fig. 2의 사진은 공기 중에서 애노드가 없이 현미경으로 관측된 것이다. 백색광은 애벌런치 영역이 표면에 매우 가깝다는 것을 의미하며[10], 전자가 방출되는 영역이 백색광 지역과 밀접히 연관되어 있으므로, 표면에 평행하고 극히 얇은 n^+ -p 접합영역에서는 백색광을 방출하는 영역이 곧 애벌런치 항복 영역이다. 그것은 전자는 애벌런치 항복 영역에서만 방출될 수 있는 에너지를 얻을 수 있기 때문이다. Fig. 2(a)에서 보는 바와 같이 직경이 $10\ \mu\text{m}$ 보다 큰 캐소드의 경우 백색광이 캐소드의 주변에 국한되는 것이 관측된다. 이것은 얇은 n^+ 채널의 전기저항에 기인한 전압강하 때문에 캐소드 가운데 부분의 전압이 항복전압 이하로 되어서, 애벌런치 항복이 주변으로 국한되기 때문이다.

B. 바이어스 전류-전압특성

다양한 직경의 원형 캐소드들에 대한 역방향 바이어스 전류 I_r 이 역방향 바이어스 전압 V_r 의 함수로 Fig. 3에 보이고 있다. 측정은 2×10^{-9} torr에서 애노드 전압 50 V의 조건 하에서 수행되었다. 각기 다른 크기의 캐소드들의 항복전압은 모두 6.7 V 근처에서 비슷하게 시작되었다. 전류는 초기에는 바이어스 경로 상의 저항성분 값에 따라 직선적으로 증가하는데, 큰 직경의 캐소드에서 전류특성곡선의 기울기가 높다. 그 이유는 큰 직경의 캐소드의 경우에 바이어스 경로 내의 직렬저항이 더 작기 때문이다. 애노드 전압 V_a 가 증가할 때 역시 기울기가 높아졌는데, 그것은 MOS 소자에서의 경우와 같이 애노드 전압에 의해 n^+ 채널의 전도성이 증가하기 때문이다.

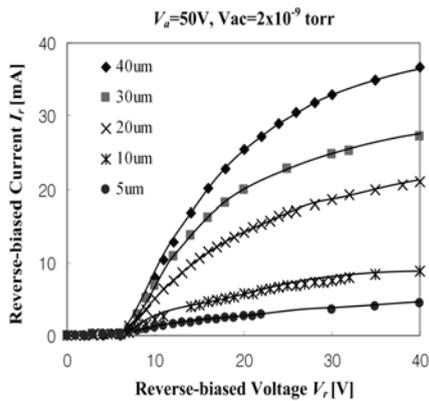


Fig. 3. Reverse-biased I-V characteristics of various SAC's.

역방향 바이어스 전류가 증가할수록 기울기가 감소하는데, 그것은 얇은 채널 내로의 과도한 전자의 주입과 열에 의한 이온 진동 때문에 저항이 증가한 것으로 생각된다. 따라서 액화질소 온도에서 $I_r - V_r$ 특성은 직선으로 나타났고, 애벌런치 항복은 상온에서 보다 더 낮은 역방향 전압에서 발생하였다. 이것은 정의 온도계수를 의미하며, 애벌런치 항복이 주 항복 메커니즘이라는 의미이다.

C. 방출전류

진공으로의 방출전류는 SAC 칩 위 ~1 mm에 위치시킨 금속 애노드에 의해 4×10^{-9} torr의 진공 하에서 검출되었다. 애노드 검출전류 I_a 는 역방향 바이어스 전압 V_r 과 애노드 전압 V_a 의 함수이다. Fig. 4에 40 μm 직경의 원형 캐소드에 대한 $I_a - V_a - V_r$ 특성 곡선이 주어져 있다. I_a 가 V_a 의 함수로 여러 가지 V_r 값에 대하여 그려져 있다. 즉, 0 V ~ 500 V의 V_a 전압과 0 ~ 14 V의 역방향 바이어스 전압 V_r 에 대한 애노드 전류 I_a 가 Fig. 4에 보이고 있다. 초기에는 V_a 의 증가와 함께 I_a 가 선형적으로 증가한다. 이것은 진공관에서도 같이 공간전하제한 영역(space-charge-limited region)에서의 전자의 운동에 기인하는 것이다. 즉 공간전하의 이동이 애노드의 전위에 의한 전위장벽에 의해 결정되는 것이다. 따라서 여기서 애노드 전류는 진공관에서의 공간전하 전류특성인 Langmuir-Child 법칙에 따른다 [11].

Fig. 4의 특성곡선에서 보는 바와 같이, I_a 는 V_r 이 애벌런치 항복에 도달한 뒤에 애노드 전압의 증가와 함께 시작

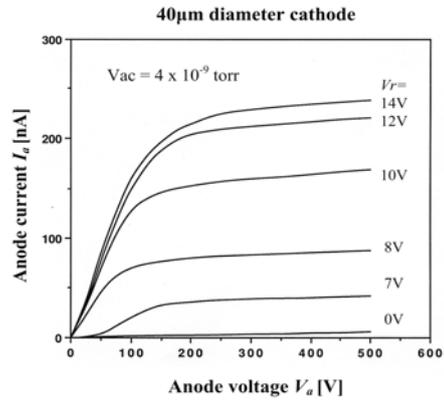


Fig. 4. $I_a - V_r - V_a$ characteristics of 40μm diameter circular cathode.

되어 V_r 이 증가함에 따라 같이 증가한다. 그러나 Fig. 4에서는 보이지 않지만, 계속 V_r 을 증가시키면 오히려 I_a 는 정점에서부터 감소한다[9](40 μm 직경의 캐소드에서 $V_a = 50$ V 일 때, $V_r > 14$ V인 경우). 이 현상은 직경이 20 μm 보다 큰 캐소드의 경우에 명확해진다. 이것은 좁은 n^+ 채널에 과도한 전자가 투입되어 열 발생 및 전자혼잡(electron crowding)으로 인해서 전자가 방출될 수 있는 에너지를 표면에 도달하기 전에 충돌과정 중에 잃고, 또한 전기저항이 증가하여 전류의 증가율이 감소하기 때문이다. 이것은 Fig. 3에서 설명한 바와 같은 이유이다. 그러나 V_a 의 증가는 다소 전자방출전류, 즉 애노드 전류 I_a 를 증가시키는 것을 Fig. 4에서 볼 수가 있다. V_a 의 증가가 캐소드 표면의 일함수를 낮게 하는 쇼트키 효과를 나타내고, n^+ 채널의 폭을 MOS 소자에서와 같이 증가시키기 때문인 것으로 생각된다. 이것은 Fig. 3에 보이는 역방향 바이어스 특성에서 V_a 를 증가시킬 때에 저항성분이 적어지는 것, 즉 특성곡선의 기울기가 높아지는 것으로 관측될 수 있다. 따라서 더 높은 V_a 의 경우에 I_a 는 더 높은 V_r 의 값에서 정점을 보이며 그 크기도 더 커진다.

방출효율 η 는 다음과 같이 정의된다.

$$\eta = I_a / (I_a + I_r) \tag{1}$$

여기서 I_a 는 애노드 검출 전류이고, I_r 은 캐소드를 통하여 흐르는 역방향 항복 전류이다. 따라서 방출효율 η 는 캐소드에 흐르는 전체 전류 대비 방출된 전자전류의 비율을 뜻한다. 본 실험에서 5 μm 직경의 캐소드의 경우에 애노드 전압 500 V, 역방향 바이어스 전압 10 V의 조건 하에서 약

0.004%의 방출효율을 보였고, 이것은 세슘 코팅에 의해 5%까지 증가될 수 있다[3][4]. 그러나 본 논문의 초반에 설명하였듯이 세슘 증착은 실용적 응용의 측면에서 적합하지 못하다. 그러므로 소자2에서 우리는 세슘 증착이 없이, 전계를 이용하여 방출효율을 증가시키는 방법을 시도하였다.

D. 캐소드의 배열

Fig. 2(b)에서 볼 수 있듯이 n^+ 형 얇은 채널 내에 여러 개의 캐소드가 함께 배열화 될 수 있으며, 전체 방출전류 I_e 는 개별적으로 측정된 한 개의 캐소드로 부터의 방출전류가 배열 내 캐소드의 수만큼 배가 된다. 그러나 단위면적당 배열의 수가 많아지면 방출전류는 캐소드의 수만큼 정확하게 배가되지는 않았다. Fig. 2(b)에서 보듯이 배열의 각 캐소드에서 발생하는 백색광의 밝기는 균일하다. 그 이유는 각 캐소드는 병렬회로로 바이어스 되므로 같은 전압이 가해지고 있고, 하나의 웨이퍼에서 동시에 제조되었으므로 같은 소자특성을 갖고 있기 때문이다.

III. 소자2의 특성(반전층형)

3.1. 소자2의 동작이론

실험의 두 번째 단계로서 제작된 소자2는 cantilever형 칩 상 게이트(on-chip-gate)를 전도성 폴리실리콘(poly-silicon)을 사용하여 형성하였고, 게이트로 부터의 전계를 이용하여, MOS 소자와 같이 에피층에 반전층을 유도하여 p-n 접합을 형성하였고, 접합에 애벌런치 항복을 발생시켜서 전자방출을 유도하였다. 그러므로 소자2의 경우에는 Fig. 1(a)에 보이고 있는, 이온 주입에 의해 형성된 얇은 n^+ 형 채널이 없고, 대신 반전층이 칩 위에 제작된 cantilever형 전도성 폴리실리콘 게이트로 부터의 전계에 의해 형성되었다.

외부 애노드에 의해 측정된 SAC 소자1의 특성에서 보았듯이, 방출 효율은 애노드로 부터의 전계가 증가함에 따라 증가하였다. 그러므로 칩 위에 캐소드에 매우 근접하는 cantilever형 칩 상 게이트를 제작한다면, 작은 전압으로도 높은 전계를 얻어, 전자 방출효율을 높일 수 있을 것이다.

소자1에서 표면에 평행하는 얇은 n^+ 형 영역은 p형의 캐소드 영역과 n^+ -p 접합을 이루게 되고, 전압 V_r 에 의해 역방향 바이어스가 되어 애벌런치 항복을 일으키게 된다. 이때 전자는 공핍층에서 강한 전계에 의해 가압되어 표면에 가까운 반전층으로 주입 되는데, 일부 전자가 일함수를 극복할 수 있는 에너지를 가지고 표면에 도달하여 진공으로 방출하게 된다. 이때 표면의 일함수는 게이트로 부터의 전계에 의해 낮아지게 된다. 이것을 쇼트키(Schottky) 효과라고 하는데 쇼트키 효과에 의한 일함수의 저하는 다음과 같이 된다[12].

$$\Delta\Phi = \sqrt{\frac{qE}{4\pi\epsilon_0\epsilon_r}}. \quad (2)$$

외부전계가 없을 때의 진공으로의 방출전류를 $i(0)$ 라 하면, 외부전계 하에서의 방출 전류 $i(E)$ 는 다음과 같은 관계를 가진다.

$$\frac{i(E)}{i(0)} = e^{\frac{q\Delta\psi}{kT}} = e^{4.2 \times 10^{-3} \sqrt{E}}. \quad (3)$$

본 연구에서 제안 된 소자에서 게이트와 캐소드와의 거리를 $0.5 \mu\text{m}$ 으로 하고 150V 정도의 전압을 가하면 300 V/ μm 정도의 전계가 얻어지는데 이때 방출전자는 식(3)에 의해 약 1500배 정도 증가하게 된다. 소자1형의 SAC 소자에서 게이트가 없이 이온 주입에 의해 만들어진 300 Å 정도의 극히 얇은 n^+ 형 채널에서 애벌런치 항복이 일어났을 때, 바이어스 전류 대 방출전류는 소자의 크기에 따라 $1 \sim 5 \times 10^{-5}$ 정도의 방출효율 η 를 보였는데, 폴리실리콘으로부터 강한 전계가 가하여 졌을 때는 상기에 기술된 쇼트키 효과에 의해 1.5~6.5% 이상의 방출효율을 보일 것이 식(3)에 의해 예상되고, 실제로는 게이트 상에 150 V 이상의 전압의 가압이 가능하므로 그 이상의 방출효율이 예상된다. 또 나아가 MOS 소자에서와 같이 게이트로 부터의 전계로 반전층을 형성하여 애벌런치 항복을 야기할 수 있을 것이다. 이 경우의 이점은 우선 이온 주입의 단계를 생략할 수 있고, 또 이온 주입에 의해 결정구조가 파괴되지 않은 더 완전한 표면에서 전자의 방출을 유도할 수 있다는 것이다.

소자2는 외부 애노드를 사용하는 본 논문의 초반에 설명한 소자1과 기본적으로 같은 공정과 구조에 의해 제작되었

으나, 이온 주입에 의한 n^+ 형의 얇은 채널의 형성은 생략되었다. 대신 cantilever형 게이트로 부더의 전계에 의해 생성된 반전층이 접촉영역과 캐소드를 전기적으로 연결하고, 캐소드 영역에 $n^+ - p^+$ 접합을 형성하였다. SiO_2 의 절연층 위에 형성된 전도성 폴리실리콘층은 반전층의 형성 및 전자 운동방향을 결정하므로 게이트라 칭하기로 한다. 칩 상 게이트와 캐소드 사이에 부가되는 게이트 전압 V_g 에 의해 형성되는 강한 전계에 의해 MOS 소자에서와 같이 폴리실리콘층 밑의 표면에 노출된 p-와 p 영역에 n형의 반전층을 형성시키고 애벌런치 항복을 일으켜 전자를 진공으로 방출하는 것을 목적으로 하였다.

소자2에서 전계에 의해 형성된 n형 채널은 이온 주입에 의해 인위적으로 형성된 n형 채널에 비해 소자공정이 간단하고, 장시간 일반 진공에서 동작하더라도 일반 수준의 진공 하에서는 필연적인 이온 파괴에 의해 접합이 손상되지 않으므로, 기존의 전계 냉음극 소자에 비해 더욱 안정적인 특성을 나타낼 것이 기대된다. 왜냐하면, 기존의 Spindt형 전계 냉음극 소자는 날카로운 침에서 전자가 방출되는데, 이온 충격에 의해 시간이 지남에 따라 침의 날카로운 부분이 손상되어 특성이 변화된다. 또한 탄소 나노 튜브 섬유를 사용한 전계형 냉음극 소자 또한 이온 충격에 의해 지속적인 방출 특성의 변화가 있을 것이 예상된다. 반면에 본 연구에서 제안된 캐소드에서는 표면이 이온 충격에 의해 손상된다고 전계에 의해 새로운 표면에 n형 채널이 다시 생성되기 때문이다. 오히려, 이온 충격에 의해 표면의 불순물이 제거되는 효과도 기대된다. 이와 같이 제안된 SAC 소자2의 개념에 기본 하여 소자2의 제작을 위한 마스크와 공정이 설계되었다.

3.2. 소자2(반전층형)의 구조

기본단위의 소자2에 대한 3차원 개념 형상을 Fig. 5 (a)에 나타내었다. 내부를 보이기 위해 소자의 가운데 부분이 절단된 단면도가 그려져 있다. 소자1과 기본적으로 같은 구조를 갖고 있으나, n^+ 형의 얇은 채널이 없고, 전도성 폴리실리콘으로 구성된 칩 상 게이트를 가지고 있다. 게이트로 부더의 전계에 의하여 n^+ 형 접촉영역과 p^+ 형 캐소드 사이에 n형 반전층이 형성되고 소스 영역과 캐소드 영역은 역방향 바이어스 되어 애벌런치 항복을 일으키게 된다. Fig. 5 (b)는 배열형 소자2의 전자현미경으로 관측된 단면 사진이

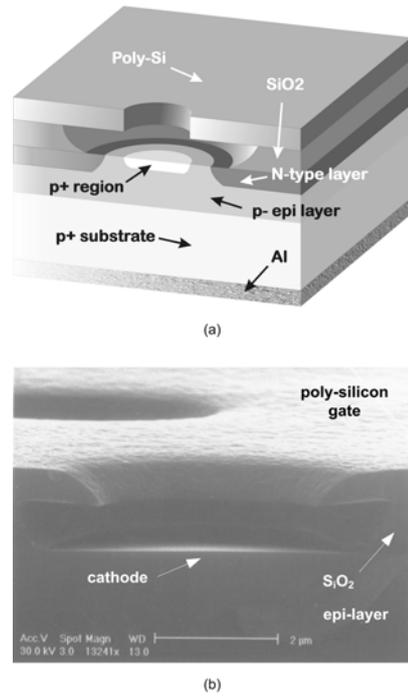


Fig. 5. Three-dimensional view of device 2; (a) Conceptual view. (b) SEM picture.

다. 역시 내부를 볼 수 있게 소자의 일부분이 제거되어있고, 전도성 폴리실리콘 게이트, SiO_2 층, p형 캐소드 영역, 에피층 등이 표시되어있다.

소자특성을 실험하기 위해 설계된 칩은 4인치 웨이퍼 한 장에 24개의 칩이 얻어지도록 설계가 되었다. 또, 각 칩에는 다른 형태의 6개의 SAC 배열이 구현되어 있고, 각 배열은 개별적으로 구동될 수 있도록 설계되어 있다. 소자 배열은 수백 개의 소자2형의 SAC로 구성되어 있다. 최소의 패턴은 폴리실리콘 상에 있는 2 μm 지름의 원들이다. 그 밑에 있는 2 μm 지름의 원형 캐소드와 같은 모양과 크기의 패턴이나 식각과정 중에 캐소드보다 조금 더 큰 형상으로 만들어졌다. 소자들은 비교를 위해 캐소드가 2 μm 의 지름과 4 μm 크기의 지름인 원형 캐소드들의 배열로 제조되었다. 알루미늄 전도층은 허락하는 한 넓게 하여 표면의 전자와 열의 축적을 막고, 큰 전류를 균등하게 가할 수 있도록 하였다. 마지막으로 소자들은 전도층을 통하여 외부로 연결되었다.

Fig. 6 (a)에 SAC 소자 배열의 개념적 평면도가 그려져 있다. 배경은 기본층인 p-형의 에피층을 나타낸다. 그 위에 n^+ 형의 접촉영역과 p^+ 형의 캐소드가 형성되었다. 그 뒤 약

0.9 μm 높이의 산화규소층 위에 도전성 폴리실리콘층이, 그 위에 외부와 전기적 연결을 위한 알루미늄층이 형성되었다. 이해를 돕기 위해, SiO_2 층은 투명하게 그려졌고, 폴리실리콘층의 아래 일부분을 제거하여 그 아래의 n^+ 접촉영역과 p^+ 형의 캐소드 영역이 보이게 그려졌다. 또한 알루미늄층 아래 부분을 점진적으로 투명하게 그려서 그 밑의 폴리실리콘과 n^+ 접촉영역에 대한 접촉 창을 보였다. 그리고 폴리실리콘층과 폴리실리콘층 밑의 n^+ 접촉영역과 캐소드를 확대한 현미경형 큰 원형 그림을 포함시켰다. Fig. 6 (b)에는 소자2의 배열에 대한 전자현미경 사진이 보이고 있다.

3.3. 소자2의 전기적 특성

Fig. 1에 보인 것과 같은 구성으로 소자의 동작 및 전기 특성 측정을 하였다. 다만 Fig. 1에 있는 외부 애노드는 전도성 폴리실리콘의 게이트로 대체되었다. n^+ 형의 폴리실리콘 게이트, n^+ 형의 접촉영역, p^+ 형 기판은 각기 알루미늄 전도층을 통하여 외부의 전원 및 계측기로 연결이 되었다. 게이트 전압 V_g 는 게이트와 캐소드 사이의 전압으로 게이트가 캐소드보다 높은 전위가 되도록 바이어스 하여, 방출된 전자가 게이트에서 수집 되도록 하였다. V_r 은 n^+ 영역과 p^+ 영역이 역방향 바이어스가 되도록 하여, 애벌런치 항복을 일으킬 수 있도록 하는 바이어스 전압이다.

Fig. 7에 역방향 항복 전류 I_r 이 게이트 전압 V_g 의 함수로 0~25V 사이의 여러 역방향 바이어스 전압 V_r 값에 대해 그려져 있다. I_r 은 n 형의 반전영역과 p 형의 캐소드가 이루는 p-n 접합에 역방향 바이어스 된 상태에서 흐르는 애벌런치 항복전류로서 V_g 가 약 220 V 이상이 될 때부터 소자의 저항 값에 따라 선형적으로 증가하다 포화되는 Fig. 3의 소자1의 특성과 유사한 특성을 보이므로, 목적인대로 반전층이 형성되어 애벌런치 항복이 일어난 것으로 보인다. V_g 를 250 V 이상으로하면 방전현상으로 인해 소자의 연결 부분이 파괴되었다.

본 실험에서 방출전류 I_g 는 반복적이고 설명할 수 있는 방출전류 특성을 보이지 않았다. 측정은 일반적인 오일 진공 펌프를 사용하여 소자1의 경우보다는 저진공인 $\sim 10^{-6}$ torr 정도의 진공에서 측정하였는데, 배경 이온 전류가 크고, 소자에서 일단 애벌런치 항복이 일어난 후에는 이온 전류가 급증하여 반복적인 계측이 불가하였다. 따라서 소자1

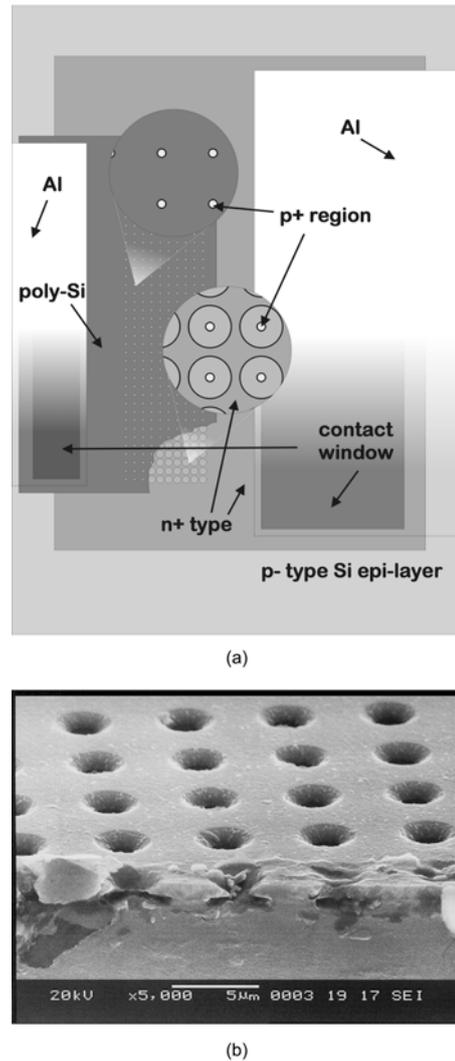


Fig. 6. Arrayed devices;
 (a) Conceptual top-view of arrayed devices.
 (b) SEM picture of arrayed SAC's.

과의 정확한 비교를 위해서는 소자1의 경우와 같은 수준의 고진공 환경에서 계측을 하여야 할 것이다.

IV. 결과 및 논의

소자1에서 애벌런치 현상을 이용하여 p-n 접합 부분에서 세습 증착이 없이 균일한 전자 방출을 검출하였다. 그러나 전류방출효율 η 는 4×10^{-5} 정도로 실용적 응용은 어려운 수준이었다. 소자2에서 게이트의 전압으로 반전층을 형성시켜 캐소드에서 애벌런치 항복을 일으키는데 성공하였다. 칩 상 게이트를 이용하여, 방출전류를 측정하였으나,

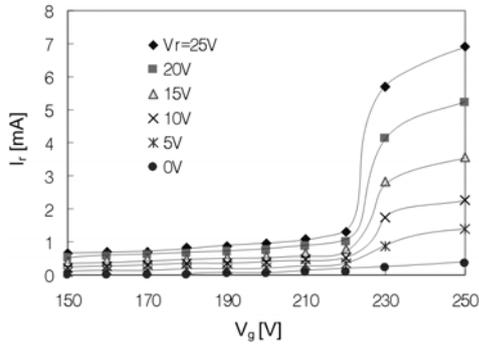


Fig. 7. $I_r - V_g - V_r$ characteristics.

반복적이고 설명할 수 있는 결과를 얻지는 못하였다. 그 이유는 게이트에서 검출된 전류가 배경 이온 전류보다 충분히 크지 못하기 때문인 것으로 생각된다.

소자2는 대규모 배열의 형태를 갖고 있어서, 소자1과 같이 개별 소자에 대한 특성의 측정이 가능치가 않아, 소자1과의 직접적인 비교는 불가능하다. 그리고 소자2는 반전층의 깊이를 알게 하기 위해서 캐소드 부분의 역셉터 불순물의 농도를 더 높게 하였다. 그러므로 소자2는 소자1과의 비교보다는 반전층을 이용해서 전자방출을 얻을 수 있는지를 확인하기 위해 만들어 진 것이다.

소자2에서 배경 이온 전류보다 매우 크지는 않았지만, 방출전류는 확인되어 기본적인 목적은 성취되었다. Fig. 8에 방출 전류 I_g 가 V_g 에 대한 함수로 여러 V_r 값에 대해 그려져 있다. 4 μm 직경의 캐소드 400개가 배열되어 있는 소자에서 게이트 전압 V_g 가 208 V, 역방향 바이어스 전압 V_r 이 25 V 일 때 1.7 mA의 I_g 가 검출되었고, V_r 이 0 V 일 때 1.5 mA의 I_g 가 검출되었다. V_r 이 0 V일 때의 검출전류를 배경 이온 전류라 가정하고, 두 전류의 차를 방출전류라고 하면 단위 캐소드 당 방출전류는 0.5 μA 이다. 이것은 소자1의 5 μm 직경의 캐소드의 방출전류 0.05 μA [7]보다 큰 값이다. 그러나 이 결과는 고진공 상태에서 재측정을 하여 확인해야할 사항이다. 그 이유는 Fig. 8에 보이고 있는 결과는 측정 때 마다 편차가 커서 반복이 되지 않았다. 또한 방전현상으로 소자가 빈번히 파괴되어 바이어스 회로에 보호저항을 삽입하였고, Fig. 8에 보이고 있는 V_g 의 값은 실제로는 최대 280 V까지 가압한 후에 보호저항 양단 간의 전압을 제한 실질적인 게이트와 캐소드 간의 전압이다. 또 다른 문제점은 현재의 소자2의 배열형태에서는 배열 내 각

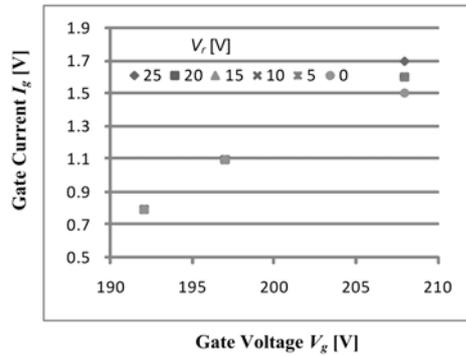


Fig. 8. $I_g - V_g - V_r$ characteristics.

캐소드의 동작 여부를 확인하기가 어렵다는 것이다. 소자2는 진공상태 하에서 게이트 층에 전압을 가해야만 동작하기 때문이다. 공기 중에서는 게이트와 캐소드 사이의 강한 전계에 의해 방전으로 게이트 층이 파괴되었다.

현 시점에서는 다음과 같이 문제점들을 추정하여 다음 연구를 계획할 수 있을 것이다. 1) 전혀 전자의 방출이 없거나 너무 작아 배경 이온 전류 때문에 확인할 수 없을 수 있다, 소자1과 같이 ~ 50 nA 정도의 전류가 방출되었다면, $\sim 10^{-6}$ torr 정도의 진공에서는 배경 이온 전류 때문에 검출할 수가 없다, 25 V의 V_r 에서 더 큰 방출전류가 검출된 것은 바이어스 전압의 증가에 의해 배경 이온가 증가한 것일 수도 있다; 또는 2) Fig. 6(a)와 (b)에서 볼 수 있듯이 배열 내에는 많은 캐소드가 형성되어 있으나, 배열의 가운데에 있는 캐소드들은 충분한 가압전압이 전해지지 않고, 저항에 의한 전압강하로 인해, 전자 방출이 일어나지 않을 가능성이 있다. 얇은 n형 채널에서의 전압강하로 인해 Fig. 2(a)의 캐소드의 가운데 부분에서 애벌런치 항복이 일어나지 않는 것과 같은 현상이다. 본 실험의 배열의 형태는 배열내의 캐소드들의 동작 범위를 확인하기 위한 것이다. 따라서 현재의 설계에서는 배열 내에서 접촉영역과 가까운 일부분의 캐소드만이 동작할 수도 있을 것이다; 또는 3) Fig. 5(a)와 (b)에서 볼 수 있듯이 게이트는 캐소드에 대해 대칭적 전계를 갖는 전자총의 형태를 갖고 있기 때문에, 게이트로는 극히 일부분의 방출전류 만을 검출할 수 있는 가능성이 있고, 게이트 사이로 방출된 전자는 진공 시스템 내의 잔류 가스를 이온화 시켜 배경 이온 전류를 증가 시킬 수가 있다. 따라서 게이트 사이로 방출된 전자를 감지할 수 있는 애노드가 필요할 것이다; 또는 4) 반전층으로 구성된

p-n 접합에서는 애벌런치 항복 하에서 전자방출 효율이 낮을 수가 있다. 그 이유는 기존의 p-n 접합에서의 애벌런치 현상과는 달리, 반전층으로 형성된 n형 영역으로 주입된 전자가 음의 극성을 가진 억셉터 이온의 격자층을 통과하게 되므로 표면에 충분한 에너지를 가지고 도달하지 못할 수가 있기 때문이다. 그런 경우에는 소자1처럼 이온 주입으로 형성된 채널을 이용한 방법에 칩 상 게이트를 적용하여 방출효율을 높이는 실험을 해야 할 것이다; 또는 5) 본 실험에서의 전계에 의해 형성된 반전층의 전도성이나 깊이가 전자 방출에 적합하지 못할 수 있다. 만약 반전층이 극히 얇지 않다면 전자는 충분한 에너지를 가지고 표면에 도달하지 못할 것이다. 이것은 좀 더 다양한 농도의 p형 에피와 캐소드에서 실험을 반복해서 확인해야 할 것이다; 또는 6) 표면이 오염되었거나 공정과정에 오류가 있을 가능성이 있다.

V. 결 론

게이트에서 검출된 전류가 배경 이온 전류 보다 충분히 크지 못한 이유는 위의 결과 및 논의에서 추정된 이유 중의 하나 또는 복합적 결과일 수 있다. 따라서 본 연구의 다음 단계는 배경 이온 전류를 줄일 수 있도록 충분히 고진공인 측정 장치에서 방출전류를 측정하여 정확한 소자동작특성을 확인해야 할 것이다. 이 경우에는 배열소자 뿐만 아니라 개별 소자의 방출특성도 측정될 수 있을 것이다. 또는 FED를 제작하여 실험할 수도 있을 것이다. 전기적으로 차단된 작은 공간에서는 배경 이온 전류가 높지가 않고, 형광물질 을 통하여 동작여부를 알 수 있기 때문이다.

소자2형의 소자에서 전자방출현상이 명확히 검출된다면, 그 다음 단계는 방출효율 η 를 높이고, 전자층으로 적합한 구조를 설계하고, 배열 내의 모든 캐소드가 동작하는 배열 방법의 구성 등으로 소자동작의 최적화가 추구되어야 할 것이다. 또한 이온 주입으로 얇은 n^+ 채널을 가진 소자1형의 소자에도 칩 위에 폴리실리콘 게이트를 형성하여 결과를 비교 분석하는 것이 소자 동작 특성을 충분히 이해하는데 필요할 것이다.

p-n 접합에서 충분한 전류방출 효율 η 를 얻을 수 있다면, 그것은 기존의 Spindt 형 및 나노 탄소 섬유를 사용한 FED와는 구별되는 특징을 가질 수 있다. 즉, 더욱 반복가

능하고 균일한 화질특성을 갖게 될 것이고, 기존 반도체 소자와 동일한 공정으로 제작되므로 동시에 메모리, 프로세서, 센서 등이 같은 칩 내에 제작될 수가 있어서, SoC형 극소 평면 디스플레이의 제작이 가능하다. 또 비정질 실리콘에서 구현할 수 있다면, LCD와 같은 대형 화면의 구현도 가능할 것이다.

감사의 글

본 연구에서 소자의 제작 및 특성측정에 많은 노고를 하여주신 삼성종합기술원의 최병룡 박사님께 깊은 감사를 드립니다.

참고 문헌

- [1] J. A. Burton, *Physical Review* **108**, No.5, (1957).
- [2] G. G. P. van Gorkom and A. M. E. Hoeberechts, *Philips Tech. Rev.* **43**, p.49 (1987).
- [3] G. G. P. van Gorkom and A. M. E. Hoeberechts, *J. Vac. Sci. Technol. A* **5**, p.1544 (1987).
- [4] Talmage Tyler, Olga A. Shenderova, and Gary E. McGuire, *J. Vac. Sci. Technol. A* **23**(4), p.1260 (2005).
- [5] 김선규, 허성환, 조성오, *한국진공학회지* **14**, 4호, 252 (2005).
- [6] 임성훈, 윤현식, 유제황, 문종현, 박규창, 장진, 문병연, *한국진공학회지* **14**, 4호 258 (2005).
- [7] Jung Y. Ea, et al., *IEEE Transactions on Electron Devices* **38**, No.10, pp.2377~2382 (1991).
- [8] Mohammed Amrani, Zineb Benamara, Mohammed Chellali, and Schahrazade Tizi, *J. of Appl. Phys.* **101**, 104509 (2007).
- [9] Jung Y. Ea, et al., *IEEE Electron Device Letters* **11**, pp. 403~405 (1990).
- [10] T. van Zutphen, *IEEE Trans. Electron Devices* **36**, no. 11, pp. 2715 (1969)
- [11] Curtis L. Hemenway et al, *Physical Electronics* (Toppan Printing Company. LTD. Japan, 1967), pp.109.
- [12] Sze, *Physics of Semiconductor Devices*, (Wiley-Interscience, New York, 1981), pp. 250.

Cold Cathode using Avalanche Phenomenon at the Inversion Layer

Jung Yong Lee*

School of Electronic & Information Engineering., Cheongju University., Cheongju 360-764

(Received October 2 2007)

Field Emission Display(FED) has significant advantages over existing display technologies, particularly in the area of small and high quality display. In order to test the feasibility of fabricating the System-on-Chip(SOC) with FED, we conducted the experiment to use the p-n junction as an electron beam source for the flat panel display. A novel structure was constructed to form p-n junctions by generating inversion layer with the electric field from the cantilever style gate. When we applied more than 220V at the cantilever style gate which has a height of 1 μ m, avalanche breakdown onset was successfully achieved. The characteristics was compared with the electron emission from the ultra shallow junction in the avalanche region. The experiment result and the future direction were discussed.

Keywords : cold cathode, shallow junction, avalanche, Schottky Effect, silicon

* [E-mail] jung_ea@cju.ac.kr