

SiGe 집적회로 내의 다결정 SiGe 박막 저항기의 특성 분석

이상홍, 이승윤, 박찬우

한국전자통신연구원 IT융합부품연구소, 대전 305-700

(2007년 9월 3일 받음)

요약 RF 및 고속 아날로그 특성 및 제조 공정의 용이성에 의하여 고속 유무선통신 및 초고주파 분야에서 많이 이용되고 있는 SiGe 집적회로에서, SiGe 박막 저항기의 편차를 줄여 집적회로의 신뢰성을 높이는 것이 중요하다. 본 논문에서는 실리콘계 박막 저항기 제조 후 발생하는 불균일한 저항 값 분포의 원인 규명과 그 해결 방안에 대하여 고찰한다. SiGe 박막 저항기의 실리콘 사이드가 존재하는 컨택 영역에서 Ti-B 석출물의 영향으로 인하여 저항 값의 불균일성 발생하는데, 이를 최소화하기 위하여는 가능한 최대의 boron 이온을 주입할 필요가 있다. SiGe 저항기와 금속을 배선하기 위한 컨택 홀의 크기가 작을수록 SiGe 층 내에서 돌출부가 컨택 홀의 전체 면적을 차지하게 될 확률이 커지게 되어 접촉저항이 비정상적으로 커질 확률 또한 높아지게 되므로, 돌출부가 생성되는 SiGe 저항기의 경우는 컨택 홀의 면적을 크게 하여 SiGe 저항기의 편차를 개선하였다.

주제어 : 실리콘-게르마늄, 저항기, SiGe, HBT, IC, resistor, silicide

I. 서 론

전자회로를 구성하기 위해서는 인덕터, 커패시터, 저항기(resistor) 등의 수동소자가 필요하며, 이것들은 개별 부품으로 회로 기판에 장착되거나 일괄 공정으로 반도체 기판 위에 집적되어 사용된다. 후자의 방법은 트랜지스터와 수동소자를 금속 선(metal line)으로 직접 연결하여 기생성분을 최소화 할 수 있으므로 집적회로(IC, integrated circuit)의 제조에 널리 사용되고 있다. 한편, SiGe HBT(hetero-junction bipolar transistor)와 Si CMOS 트랜지스터를 집적하는 SiGe BiCMOS 기술로 제작되는 SiGe 집적회로는 III-V 족 화합물 반도체 소자에 근접하는 RF 및 고속 아날로그 특성, 제조 공정의 용이성에 의하여 고속 유무선통신 및 초고주파 분야에서 크게 각광받고 있는 상황이다[1]. SiGe 집적회로 내에서의 저항기(resistor)는 그 고유 저항 값에 따라 웰 영역, 확산(diffusion) 영역, 다결정 실리콘계 박막, 또는 금속 선 등의 다양한 형태로 구성이 가능하다. 일반적으로 금속 선은 낮은 저항 값을, 웰 영역은 높은 저항 값을 가지며, 다결정 실리콘 박막은 높은 저항 값(고저항) 또는 낮은 저항과 높은 저항 사이의 중간 값(중저항)을 가지게 된다. 이러한 고유 저항 값의 차이 때문에 회로 설계에 있어서 각 저항기들의 쓰임새는 서로 다

르는데, 최종적으로 원하는 집적회로의 성능을 얻기 위해서는 설계에 사용된 여러 종류의 저항기들의 저항 값 편차가 가능한한 작아지도록 각각의 제조 공정이 최적화되어야 한다.

저항기의 정확도는 집적회로에서의 이득 및 대역폭, 바이어스 설정, 입출력 회로 정합 등 회로 특성에 많은 영향을 미친다. 디지털-아날로그 변환기(digital-to-analog converter)의 경우 정확한 입출력 특성을 얻기 위해서는 특히 고정확도의 저항을 필요로 한다. 이와 같이 저항기의 편차를 줄여 정확도를 높이는 것은 집적회로의 신뢰성을 높이는 것이 되므로 매우 중요하며[2], 집적회로 기술이 발전함에 따라 저항기의 정확도에 대한 요구도 동시에 증가하고 있다[3]. 다결정 Si 또는 SiGe 박막은 집적회로에서 저항기를 구성하는 물질로 널리 사용되어 왔다[4, 5]. 본 논문에서는 SiGe 집적회로에서 고저항 및 중저항에 해당하는 실리콘계 박막 저항기 제조 후 발생하는 불균일한 저항 값 분포의 원인을 규명하고 그 해결 방안에 대해 고찰하였다.

II. 실험방법

SiGe 박막을 이용한 집적회로 제작에 필요한 저항으로 P-형 다결정 SiGe으로 구성된 고저항기 및 N-형 다결정

* [전자우편] shl@etri.re.kr

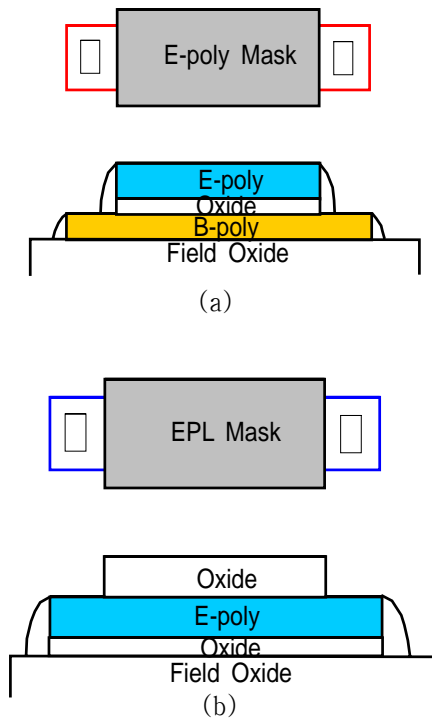


Fig. 1. Schematics of (a) a SiGe resistor and (b) a Si resistor. "E-poly", "B-poly", and "EPL" represent an emitter polysilicon layer, a base polysilicon layer, and an emitter protection layer, respectively.

Si로 구성된 중저항기를 제조하였다. 두 종류의 저항은 Fig. 1과 같은 bar 형태로 하였다. SiGe 고저항기를 구성하는 SiGe 박막은 SiGe HBT의 베이스를 구성하는 SiGe 박막과 동일한 것이다. 두께가 약 120nm 이고 다결정 구조인 SiGe 박막은 RPCVD 법으로 성장되었으며, 이때 증착 조건은 증착온도 650°C, 증착압력 30mTorr였다. 소스 기체로는 SiH₄, GeH₄, B₂H₆, 및 H₂를 사용하였으며 in-situ로 p형 불순물인 boron을 도핑하였다. 최종적으로 4x10¹⁵/cm² dose인 boron ion implantation을 추가하였다. SiGe 층에서 Ge의 농도는 Rutherford backscattering spectrometry (RBS)로 확인한 결과 약 13 atomic percent 로 일정하였으며 boron의 농도는 secondary ion mass spectrometry (SIMS)로 확인한 결과 5x10¹⁹/cm³였다.

Si 중저항기를 구성하는 Si 박막은 SiGe HBT의 에미터를 구성하는 Si 박막과 동일한 것이다. 두께가 약 300nm 이고 다결정 구조인 Si 박막은 APCVD 법으로 성장되었으며 이때 증착조건은 증착온도 550°C, 증착압력 1atm 였다. 소스 기체로는 SiH₄, PH₃, 및 H₂를 사용하였으며 in-situ로

n형 불순물인 phosphorus를 1x10²¹/cm³의 농도로 도핑하였다. SiGe 집적회로 제조에 있어서 SiGe 고저항기가 먼저 제조되고 그 이후에 Si 중저항기가 제조되므로 각 박막은 서로 다른 열처리 공정을 거치게 되는데, SiGe 박막이 증착된 후에 공정온도가 가장 높은 850°C 실리사이드 형성 공정을 공통적으로 거치므로 두 박막의 물성은 공통적으로 850°C의 공정 온도에 의해 결정되었다고 생각된다.

HP4145B 반도체 파라미터 분석기와 probe station을 이용하여 위와 같이 제작된 on-wafer 상태인 저항기의 전류-전압(IV) 특성을 측정하고 계산을 통하여 그 저항값을 구하였다. 표면에 실리사이드가 형성된 시편의 미세구조를 scanning electron microscopy(SEM)와 transmission electron microscopy(TEM)을 이용하여 관찰하였다.

III. 결과 및 고찰

P-형 SiGe 고저항과 N-형 Si 중저항은 실리사이드 공정으로부터 저항부를 보호하기 위해 protection layer를 사용하여야 한다. 실리사이드 공정에 노출되면 저항 표면에 실리사이드가 형성되어 저항 값이 목표치보다 훨씬 작아지게 된다. SiGe 고저항은 SiGe HBT의 베이스 형성 시에 field oxide 위에 동시에 구현되었다. 그리고 후속되는 실리사이드 공정으로부터 보호하기 위해 protection layer를 마스크에 추가하여야 하며, 별도의 마스크 스텝이 추가되는 것이 아니라 에미터 패턴 마스크 상에 이를 추가하여 사용하였다. 이렇게 형성된 고저항은 컨택(contact) 패턴을 통해 1차 금속선으로 연결이 되어 배선을 형성하였다. SiGe 고저항 공정에서 유의할 점은 boron의 diffusivity가 높기 때문에[6] 후속 열처리 과정에서 diffuse-out 될 수도 있어 가능한 최대한의 이온 주입조건을 택하여, boron 농도에 따른 저항값의 변화가 일어나지 않도록 해야한다. 따라서 실험방법에 언급된 바와 같이 boron 이온 주입을 추가하였다. 바 형태의 저항기의 컨택 홀 사이의 정사각형 개수를 늘리면 Fig. 2와 같이 오옴의 법칙에 따라 저항 값이 증가하게 되는데 내삽법에 의해 저항기의 길이가 0일 때의 저항 값을 구해보면 저항 값이 0이 되지 않고 특정한 값을 가지게 된다. 이것은 저항을 이루는 박막과 금속이 접촉할 때 생기는 접촉저항이며, 이에 따라 SiGe 고저항의 시트저항 값은 Fig. 2의 기울기로 하였다. 이때 최적화된 SiGe

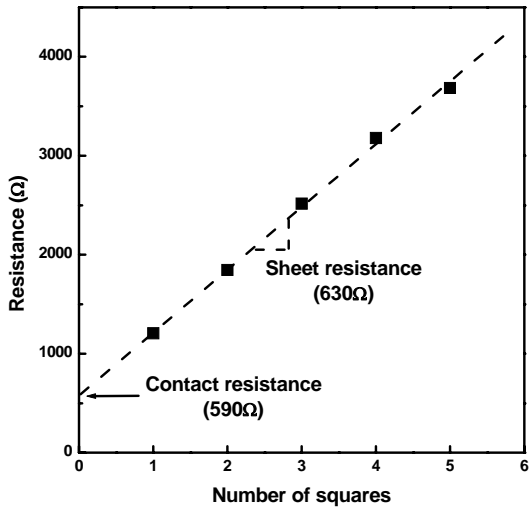


Fig. 2. Resistance of a SiGe resistor as a function of the number of squares counted between the contact holes.

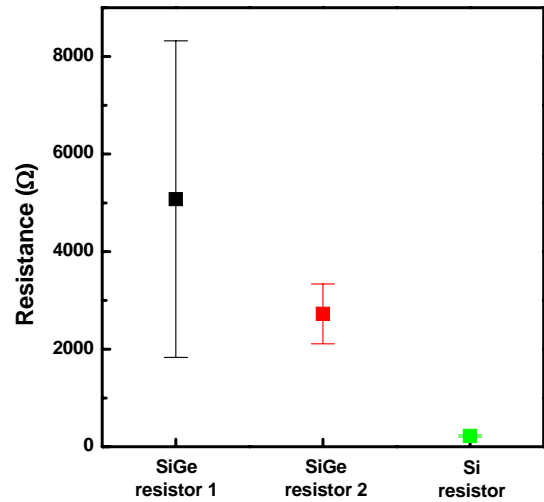


Fig. 3. Difference of resistances between three kinds of resistor having an identical number of squares.

고저항의 시트저항 값은 630Ω/sq, 접촉저항은 590Ω이었다.

Si 중저항은 SiGe HBT의 에미터 형성 시에 SiGe 고저항의 경우와 마찬가지로 oxide 위에 에미터 형성과 동시에 구현된다. 이를 위해 에미터 마스크에 저항을 layout하여야 하며, SiGe 고저항과 마찬가지로 protection layer를 추가해 후속되는 실리콘 공정으로부터 보호해 주어야 한다. 이 용도를 위해서는 별도의 protection layer가 필요하였으며, 최종적으로 콘택 패턴을 통해 1차 금속으로 연결되어 배선을 형성하였다. Si 중저항의 경우는 phosphorous가 충분히 도핑된 상태이기 때문에 도핑 농도에 따라 저항값이 크게 변하지 않고 안정적으로 얻어졌으며, 그 결과 Si 중저항의 시트저항 값은 45Ω/sq, 접촉저항은 45Ω이었다. SiGe 고저항 및 Si 중저항 모두 접촉저항을 낮추기 위하여 콘택 홀(hole)이 형성되는 영역에는 protection layer를 위치시키지 않고 고의로 실리콘이 형성되게 하였다.

SiGe 고저항의 경우 Si 중저항에 비해 불균일한 저항 값이 자주 관찰되었다. Fig. 3은 동일한 sheet 개수(5)를 갖는 각 저항기의 저항의 평균값 및 표준편차를 나타낸 것이다. Si 중저항은 SiGe 고저항에 비해 매우 작은 표준편차를 나타내었다. 반면에 SiGe 고저항은 저항 값의 범위가 매우 넓었으며, 심지어는 거의 전류가 흐르지 않는 경우도 관찰되었다. 이것은 전류가 흘러가는 path 상에서 전기적으로 개방(open)된 부분이 발생하여 나타난 결과로 생각된다.

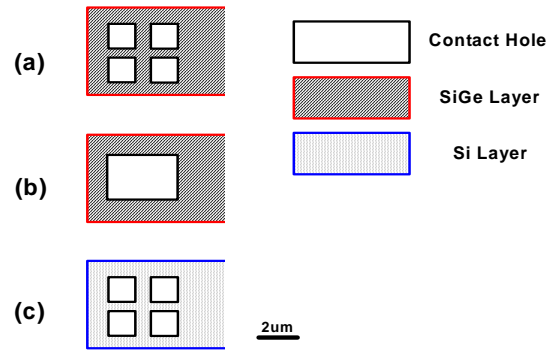


Fig. 4. Layouts of contact hole regions for three kinds of resistor (a) SiGe resistor 1 (b) SiGe resistor 2 (c) Si resistor.

한편, SiGe 고저항의 콘택 홀 모양에 따라 평균값 및 표준편차가 큰 차이를 보였다. Fig. 4와 같이 Si 중저항의 경우와 동일한 콘택 홀 모양을 갖는 SiGe 고저항1은 저항 값이 매우 큰 산포를 보였으나, 콘택 홀의 면적이 상대적으로 넓은 SiGe 고저항2는 비교적 균일한 저항 값을 나타내었다.

이와 같이 Si 중저항에 비해서 SiGe 고저항이 불균일한 저항 값 분포를 갖는 원인을 밝히기 위하여, SiGe 고저항 및 Si 중저항을 구성하는 재료들을 적층시킨 다층박막 시편을 제조하였다. 다층박막 시편 제조 시에는 마스크 공정을 제외한 모든 공정을 저항기 제조의 경우와 동일하게 하였다. 850℃ 열처리를 통하여 SiGe 또는 Si 박막 표면에

실리사이드를 형성하였다. Ti과 SiGe 또는 Si가 반응하여 SiGe 표면에는 $Ti(Si_{1-x}Ge_x)_2$ 이 형성되고[7] Si 표면에는 $TiSi_2$ 이 형성된다고 알려져 있다[8]. Fig. 5(a)는 $Ti(Si_{1-x}Ge_x)_2/SiGe/SiO_2/Si$ 구조의 평면 TEM 사진으로, 많은 수의 지름이 10nm 미만인 석출물이 보임을 알 수 있다. 이와는 다르게 Fig. 5(c)의 $TiSi_2/Si/SiO_2/Si$ 구조의 평면 TEM 사진에서는 석출물들이 전혀 관찰되지 않았다. 석출물들의 크기가 작아서 TEM을 이용해서는 어떠한 조성을 갖는 물질인지 알 수 없었으나, boron이 도핑된 SiGe 박막이 포함된 구조에서만 석출물이 관찰이 된다는 사실로부터 Ti와 B가 결합하여 생성된 화합물로 추측된다. Fig. 5(b)와 같이 boron이 도핑된 Si 웨이퍼 위에 실리사이드를 형성시켰을 때에도 많은 수의 석출물들이 생성되었으므로, Fig. 5(a) 및 Fig. 5(b)에서 관찰되는 석출물들은 Ge 유무와는 상관없이,

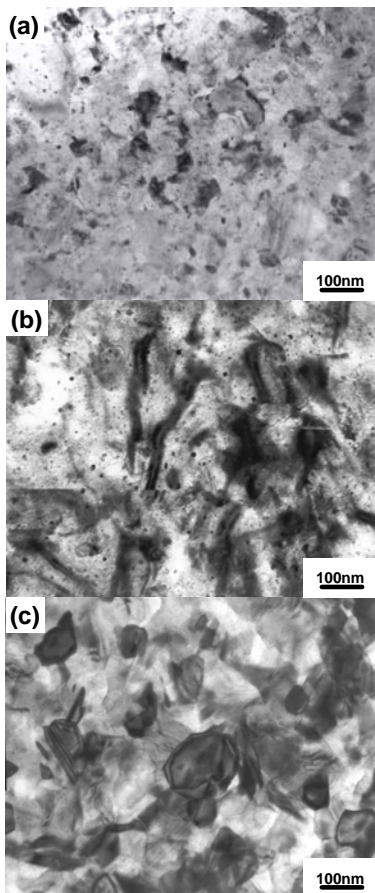


Fig. 5. Plain view TEM images of (a) a $Ti(Si_{1-x}Ge_x)_2/SiGe/SiO_2/Si$ sample (b) a $TiSi_2/Si/SiO_2/Si$ sample and (c) a $TiSi_2/Si$ sample.

없는, Ti-B 화합물인 것이 명확하다. 내부에 boron이 존재하는 Si이나 SiGe에 자기정렬(self-align) 방식으로 실리사이드를 형성시키면 TiB_2 가 생성된다는 사실이 알려져 있으므로[9], 석출물들은 대부분은 TiB_2 일 것으로 생각된다. 이러한 Ti-B 화합물이 생성되면 전기 전도에 기여하는 boron의 농도가 감소할 것이므로 SiGe 고저항에서 실리사이드가 존재하는 컨택 홀 영역에서 저항이 불균일하게 변화할 가능성이 있다. 따라서 앞에서 언급한 바와 같이 가능한 최대한의 boron 이온 주입조건을 택하여 boron 농도가 변하더라도 저항값이 일정하게 유지되도록 하여야 한다.

Fig. 6는 $Ti(Si_{1-x}Ge_x)_2/SiGe/SiO_2/Si$ 구조 및 $TiSi_2/Si/SiO_2/Si$ 구조의 단면 TEM 사진이다. Fig. 6(a)에서는 표면에서 약 25nm까지는 짙은 색으로 보이는 $Ti(Si_{1-x}Ge_x)_2$ 가 매우 균일하게 형성되어 있는 반면에 그 아래쪽으로는 화살표로 표시된 것과 같이 SiGe 층을 관통하여 산화막까지 도달된 $Ti(Si_{1-x}Ge_x)_2$ 돌출부(protrusion)가 관찰된다.

Fig. 6(b)와 같이 Si 층 위에 $TiSi_2$ 가 형성된 경우에는 Fig. 6(a)와는 다른 양상을 나타내었다. 형성된 $TiSi_2$ 의 두

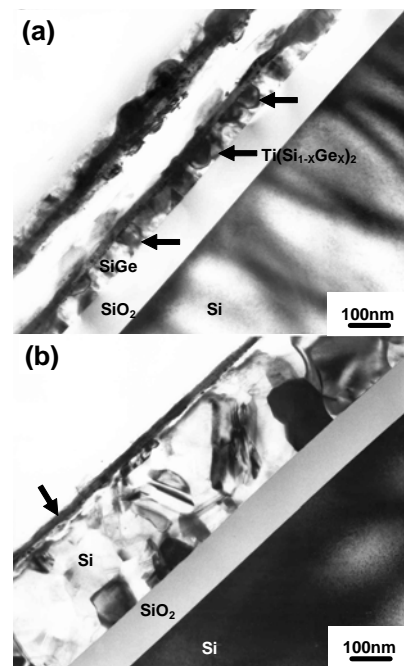


Fig. 6. Cross-sectional view TEM images of (a) a $Ti(Si_{1-x}Ge_x)_2/SiGe/SiO_2/Si$ sample and (b) a $TiSi_2/Si/SiO_2/Si$ sample.

께는 약 23nm로 SiGe 위에 형성된 균일한 $Ti(Si_{1-x}Ge_x)_2$ 층 두께와 비슷하였으나, Si와 $TiSi_2$ 사이의 계면이 매우 평탄하고 돌출부가 전혀 관찰되지 않았다. 즉, SiGe이나 Si 위에 균일하게 형성되는 실리사이드의 두께는 비슷하였으나 Ge이 존재하는 경우에는 돌출부가 발생하였다. 이러한 돌출부의 존재가 앞에서 언급한 SiGe 고저항의 불균일한 저항 분포의 원인으로 생각된다. Fig. 7에서와 같이 콘택 영역에서 산화막이 불규칙적으로 식각된 것이 관찰되었다. 이것은 산화막과 접촉하고 있는 돌출부 및 그 바로 아래에 위치한 산화막의 일부가 콘택 개방(contact open)을 위한 건식식각 시 제거되어서 나타난 결과로 생각된다. 이러한 돌출부는 $TiSi_2$ 계 물질로 여겨지는데, Ti가 휘발성이 높은 fluoride 및 chloride를 형성한다고 알려져 있으므로[10] 건식식각 시 제거되는 것이 가능하다고 생각된다. 이와 같이 콘택 영역의 일부가 제거되면 금속과 SiGe 층이 접촉하는 면적이 작아지므로 접촉저항이 급격하게 증가하게 되며, SiGe 층 내에서 돌출부의 깊이 및 분포는 매우 불규칙하므로 접촉저항 값 또한 불균일하게 되어 결국 SiGe 고저항의 산포가 매우 커지는 것으로 생각된다. Fig. 4의 콘택 홀 모양에 따른 저항 분포의 차이도 콘택 홀 형성 시 돌출부가 제거되는 사실과 직접적인 관련이 있다. 콘택 홀 크기가 작을수록 돌출부가 콘택 홀의 전체 면적을 차지하게 될 확률이 커지게 되며, 결국 콘택 홀의 면적이 큰 경우에 비해서 접촉저항이 비정상적으로 커질 확률 또한 높아지게 된다.

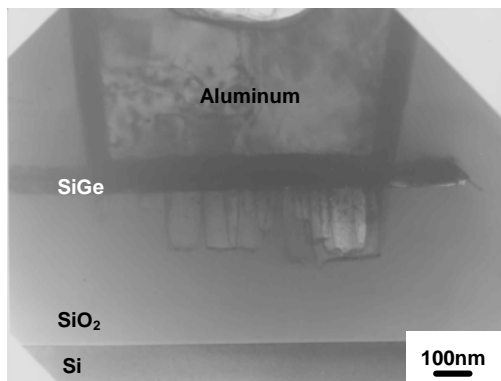


Fig. 7. The cross-sectional view TEM image showing anomalous etching of field oxides within contact open region. $Ti(Si_{1-x}Ge_x)_2$ layers, protrusions, and underlying field oxides were successively removed during a contact hole formation.

따라서 Fig. 3과 같은 저항의 차이가 발생하게 되며, 돌출부가 생성되는 SiGe 고저항의 경우에는 콘택 홀의 면적을 크게 하여야 한다고 생각된다.

IV. 결 론

RF 및 고속 아날로그 특성 및 제조 공정의 용이성에 의하여 고속 유무선통신 및 초고주파 분야에서 많이 이용되고 있는 SiGe 집적회로에서, SiGe 박막 저항기의 편차를 줄여 집적회로의 신뢰성을 높이는 것이 중요하다. 본 논문에서는 실리콘계 박막 저항기 제조 후 발생하는 불균일한 저항 값 분포의 원인을 규명하고 그 해결 방안에 대하여 고찰하였다.

먼저, SiGe 박막 저항기의 실리사이드가 존재하는 콘택 영역에서 Ti-B 식출물의 영향으로 인하여 저항 값의 불균일성 발생하는데, 이를 최소화하기 위하여는 가능한 최대의 boron 이온을 주입할 필요가 있다. 또한, SiGe 저항기와 금속을 배선하기 위한 콘택 영역의 일부가 제거되면 금속과 SiGe 층이 접촉하는 면적이 작아지므로 접촉저항이 급격하게 증가하게 되며, SiGe 층 내에서 돌출부의 깊이 및 분포는 매우 불규칙하므로 접촉저항 값 또한 불균일하게 되어 결국 SiGe 고저항의 산포가 매우 커지는 것을 확인하였다. 콘택 홀 크기가 작을수록 SiGe 층 내에서 돌출부가 콘택 홀의 전체 면적을 차지하게 될 확률이 커지게 되어 접촉저항이 비정상적으로 커질 확률 또한 높아지게 되므로, 돌출부가 생성되는 SiGe 저항기의 경우에는 콘택 홀의 면적을 크게 하여 SiGe 고저항의 편차를 개선하였다. 상기 논의된 SiGe 박막 저항기의 편차 개선책들은 SiGe 집적회로의 신뢰성을 개선하는데 기여할 것으로 사료된다.

감사의 글

본 논문은 한국전자통신연구원의 기본사업(실리콘-게르마늄 양자채널 나노 신소자 기술)으로 수행한 결과의 일부입니다.

참고문헌

- [1] J.D. Cressler, IEEE Transactions on Microwave Theory and Techniques **46**(5), 572-589 (1998).
- [2] R. Dragovic-Ivanovic, Z. Mijanovic, L. Stankovic, N. Lekic, IEEE International Conference on Electronics, Circuits and Systems **9**(1), 409 (2002).
- [3] T. Lee, K. Watson, F. Chen, J. Gill, D. harmon, T. Sullivan, B. Li, IEEE Annual International Reliability Physics Symposium **42**(1), 502 (2004).
- [4] H.-M. Chuang, K.-B. Thei, S.-F. Tsai, W.-C. Liu, IEEE Transactions on Electron Devices **50**(5), 1413 (2003).
- [5] J. A. Babcock, P. Francis, R. Bashir, A. E. Kabir, D. K. Schroder, M. S. L. Lee, T. Dhayagude, W. Yindeepol, S. J. Prasad, A. Kalnitsky, M. E. Thomas, H. Haggag, K. Egan, A. Bergemont, P. Jansen, IEEE Electron Device Letters **21**(6), 283 (2000).
- [6] Y. Kiyota, T. Nakamura, K. Muraki, H. Niwayama, T. Inada, Japanese Journal of Applied Physics, Part 1 : Regular Papers & Short Notes & Review Papers **34**(6A), 2981 (1995).
- [7] B. Umapathi, S. Das, S.K. Lahiri, S. Kal, Journal of Electronic Materials **30**(1), 17 (2001).
- [8] N.S. Parekh, H. Roede, A.A Bos, A.G.M. Jonkers, R.D.J. Verhaar, IEEE Transactions on Electron Devices **38**(1), 88 (1991).
- [9] J.S. Choi, S.H. Paek, Y.S Hwang, S.H. Choi, D.W. Kim, H.K. Moon, J.K. Chung, W.S. Paek, T.U. Sim, J.G. Lee, Journal of Materials Science **28**(18), 4878 (1993).
- [10] E. Colgan, J. Gambino, and Q. Hong, Mater. Sci. Eng. **R16**, 43 (1996).

Characteristics of SiGe Thin Film Resistors in SiGe ICs

Sang-Heung Lee, Seung-Yun Lee, Chan Woo Park

*IT Convergence & Components Laboratory, Electronics and Telecommunications Research Institute (ETRI),
Daejeon 305-700*

(Received September 3 2007)

SiGe integrated circuits are being used in the field of high-speed wire/wireless communications and microwave systems due to the RF/high-speed analog characteristics and the easiness in the fabrication. Reducing the resistance variation in SiGe thin film resistors results in enhancing the reliability of integrated circuits. In this paper, we investigate the causes that generate the resistance nonuniformity after the silicon-based thin film resistor was fabricated, and consider the counter plan against that. Because the Ti-B precipitate, which formed during the silicide process of the SiGe thin film resistor, gives rise to the nonuniformity of SiGe resistors, the boron ions should be implanted as many as possible. In addition, the resistance deviation increases as the size of the contact hole that interconnects the SiGe resistor and the metal line decreases. Therefore, the size of the contact hole must be enlarged in order to reduce the resistance deviation.

Keyword : 실리콘-게르마늄, 저항기, SiGe, HBT, IC, resistor, silicide

*[E-mail] shl@etri.re.kr