

어븀-실리사이드/*p*-형 실리콘 접합에서 쇼트키 장벽 높이 변화

이슬·전승호[†]·고창훈¹·한문섭¹·장문규²·이성재³·박경완^{*}

서울시립대학교 나노과학기술학과, 서울 130-743

¹서울시립대학교 물리학과, 서울 130-743

²한국전자통신연구원 IT융합기술연구소, 대전 305-350

³한양대학교, 물리학과, 서울 133-971

[†]동부아남반도체 Nano_Photo, 충북 369-852

(2007년 3월 29일 받음)

p-형 실리콘 기판 위에 수 Å 두께의 어븀 금속을 증착하고, 후열처리 과정을 통하여 어븀-실리사이드/*p*-형 실리콘 접합을 형성하였다. 초고진공 자외선 광전자 분광 실험을 통하여 증착한 어븀의 두께에 따라 어븀-실리사이드의 일함수가 4.1 eV까지 급하게 감소하는 것을 관찰하였으며, X-ray 회절 실험에 의하여 형성된 어븀 실리사이드가 주로 Er₅Si₃ 상으로 구성되어 있음을 밝혔다. 또한, 어븀-실리사이드/*p*-형 실리콘 접합에 알루미늄 전극을 부착하여 쇼트키 다이오드를 제작하고, 전류-전압 곡선을 측정하여 쇼트키 장벽의 높이를 산출하였다. 산출된 쇼트키 장벽의 높이는 0.44 ~ 0.78 eV이었으며 어븀 두께 변화에 따른 상관 관계를 찾기 어려웠다. 그리고 이상적인 쇼트키 접합을 가정하고 이미 측정된 일함수로부터 산출한 쇼트키 장벽의 높이는 전류-전압 곡선으로부터 산출한 값에 크게 벗어났으며, 이는 어븀-실리사이드가 주로 Er₅Si₃ 상으로 구성되어 있고, Er₅Si₃/*p*-형 실리콘 계면에 존재하는 고밀도의 계면 상태에 기인한 것으로 사료된다.

주제어 : 어븀-실리사이드, 쇼트키 접합, 자외선 광전자 분광법, 쇼트키 다이오드, 일 함수, 쇼트키 장벽 높이

I. 서 론

반도체 트랜지스터 소자는 채널 길이의 축소화에 따라 초고집적성, 초고속 동작 특성, 초저소모 전력 특성을 구현하며 꾸준히 발전해 왔다. CMOS(Complementary Metal Oxide Semiconductor) 트랜지스터의 경우 채널 길이는 2010년에 20 nm 이하로 작아질 것으로 전망한다. 이처럼 CMOS 트랜지스터의 채널 길이가 수 십 nm 이하로 감소하게 되면 단채널 효과 및 양자효과 등이 나타나 채널 길이의 감소에 따른 특성 개선을 기대할 수 없다. 따라서 기존의 소자와는 다른 동작원리에 의한 트랜지스터의 구조 및 물질 등의 개발 필요성이 대두되고 있으며, 이에 따라 UTB(Ultra-Thin Body)-MOSFET, DG(Double-Gate) MOSFET, Fin-FET, SBTT(Schottky Barrier Tunneling Transistor) 등의 다양한 소자 기술들이 연구되고 있다.

SBTT기술은 기존 MOSFET 구조의 소스와 드레인을 금속 실리사이드로 대체하는 소자 기술이다. SBTT에서 소스와 드레인의 쇼트키 장벽을 이용함으로써 단채널 효과를

억제할 수 있고, 채널 실리콘 층에 낮은 도핑이 가능하여 on/off 동작의 향상을 기대하며, 실리사이드의 얇은 접합에 의한 기생 저항 및 축전 용량을 감소시킬 수 있다. 또한, 양자 터널링 효과에 의한 소자의 동작속도 향상과 저온 공정의 금속 게이트 및 고 유전율 절연막을 이용하므로 기존의 실리콘 기반 MOSFET에 비해서는 우수한 동작 성능을 구현할 수 있는 장점이 있다 [1~3]. SBTT의 우수한 동작을 위해서 양질의 실리사이드 형성과 저 결함의 실리사이드/실리콘 계면 특성이 중요한 요인이며, 특히, 실리사이드/실리콘 쇼트키 장벽 높이가 SBTT의 전류 특성을 좌우하게 된다. 잘 알려진 *n*-형 실리콘 기판에 Pt-실리사이드 접합을 이용하는 *p*-채널 SBTT의 경우 *n*-형 실리콘 기판과 쇼트키 장벽 높이는 0.85 eV이며, 게이트 전압으로 *p*-채널이 생성되어 동작할 때 *p*-형 실리콘 기판과 쇼트키 장벽 높이는 0.25 eV가 되어 순방향에서 ~ 10³ A/cm²의 높은 전류 밀도를 가지고 동작하고 있다 [4]. 반면에 *p*-형 실리콘 기판에 어븀(Er)-실리사이드 접합을 이용하는 *n*-채널 SBTT의 경우 *p*-형 실리콘 기판과 쇼트키 장벽 높이는

* [전자우편] kwpark@uos.ac.kr

0.77 eV이며, 게이트 전압으로 n -채널이 생성되어 동작할 때 n -형 실리콘 기판과 쇼트키 장벽 높이가 0.35 eV로 높아, 순방향에서 $\sim 1 \text{ A/cm}^2$ 정도의 전류 밀도를 갖는다고 보고되고 있다 [5]. 한편, 어븀-실리사이드/ p -형 실리콘 쇼트키 접합의 또 다른 실험 결과로 어븀-실리사이드의 높은 전기 전도도(30 $\mu\Omega\text{cm}$)[6]와 n -채널 생성 시 0.28 eV의 낮은 쇼트키 장벽 높이를 보고하고 있다 [5].

본 실험에서는 SBTT기술에서 가장 중요한 요인 중에 하나인 어븀-실리사이드/ p -형 실리콘 쇼트키 접합에서 쇼트키 장벽 높이에 영향을 미치는 초기 접합 상태 변화를 규명하고자 하였다. 따라서 증착 초기 상태라고 유추할 수 있는 수 Å의 매우 얇은 두께의 어븀-실리사이드/ p -형 실리콘 쇼트키 접합의 여러 가지 물리/화학적 상태를 AFM (Atomic Force Microscope), XPS(X-ray Photoemission Spectroscopy), UPS(Ultra-violet Photoemission Spectroscopy), XRD(X-ray Diffraction)를 이용하여 관찰하였으며, 이어서 다이오드 형태로 제작하여 전류-전압(I-V) 특성을 측정하여 수Å의 어븀-실리사이드 두께에 따른 쇼트키 장벽 높이를 산출하고, 초기 접합 상태와 상관성을 구하고자 하였다.

II. 실험 방법

초박막 어븀 금속을 증착하는 방법으로, 고순도의 반도체 박막을 성장하는데 많이 사용하는 MBE(Molecular Beam Epitaxy) 방법을 이용하였다. 즉, 소량의 어븀 금속을 Knudsen 셀에 넣고 초고진공(1×10^{-8} torr) 상태에서 1100°C 의 고온을 유지하여 p -형 Si(001) 기판 위에 어븀을 증착하였다. 증착 전에 실리콘 기판 표면의 공기 오염 산화물을 제거하기 위하여 RCA 세척 공정과 초고진공에서 고온 열처리를 수행하였다. 어븀 증착 시 기판 온도와 증착 압력은 각각 450°C 와 4.0×10^{-6} torr 이었으며, 어븀의 증착속도는 1 Å/분이었다. 어븀 층의 두께가 각각 1, 2, 3, 5, 10 Å인 시료를 제작하여 초고진공 분위기에서 600°C 로 10분간 열처리를 수행하여 어븀-실리사이드/ p -실리콘 접합을 형성하였다. 어븀-실리사이드 박막의 화학적 결합 상태와 전자 구조를 분석하기 위한 XPS (X-ray Photoelectron spectroscopy)분석은 MgK α x선($h\nu=1253.6\text{eV}$)을 여기 광원으로 사용하여 초고진공에서 수행되었으며,

어븀-실리사이드의 일함수(workfunction)의 변화는 He I 광원($h\nu=21.2 \text{ eV}$)을 이용하여 UPS(Ultra-violet Spectroscopy)측정을 통하여 수행하였다. 또한, 시료 표면의 변화를 관찰하기 위하여 대기 중에서 비접촉 방식의 AFM (atomic force microscope)을 이용하였고, 어븀-실리사이드의 결정상을 관찰하기 위한 XRD(X-ray diffraction) 분석은 Rigaku사의 MiniFlex 모델로 Cu 타겟의 1,540 Å의 파장을 가진 K α X-ray를 사용하여 측정하였다. 그리고 I-V 측정을 통한 쇼트키 장벽 높이를 산출하기 위하여 형성된 어븀-실리사이드/ p -실리콘 접합으로 다이오드를 제작하였다. 실리콘 기판의 뒷면에 300 nm의 Al을 증착시킨 후, 오믹 접촉을 위해 질소 분위기에서 300°C 에서 20분간 열처리하였다. 그 후 어븀-실리사이드 표면에 지름이 300 μm 인 마스크를 사용하여 같은 방법으로 300 nm두께의 Al을 증착하여 전극을 형성하였고, 전류-전압 특성 곡선을 측정하였다.

III. 실험 결과 및 분석

형성된 어븀-실리사이드의 표면 변화가 그림 1의 AFM 측정 결과에 나타나 있다. 어븀의 두께가 1 Å인 실리사이드의 경우 높이가 1 nm 정도이며, 측면 방향의 크기가 약 35 ~ 50 nm 정도의 섬(island) 형태로 형성되었다. 어븀의 증착 두께가 두꺼워짐에 따라 높이가 2~2.5 nm 정도이며, 측면 방향의 크기가 약 80 ~ 100 nm 정도로 좀 더 큰 구조물이 만들어 지고 있는 것을 확인할 수 있다. 어븀 층의 두께가 3 Å 이상으로 증가함에 따라 어븀-실리사이드의 높이는 3~4 nm 정도로 일정하였으며, 측면 방향의 크기가 약 50 ~ 80 nm 정도로 줄어드는 경향을 보였다. 그리고 10 Å의 시료에서는 어븀-실리사이드가 대부분의 표면에서 형성된 것을 볼 수 있다. 형성된 어븀-실리사이드의 모양을 살펴보면, 10 Å을 증착한 시료에서도 층을 형성하기 보다는 섬 구조를 하고 있음을 보여주는데 이는 특이한 직사각형 구조로 형성되는 ErSi $_2$ 와는 다른 상이 형성되었음을 말해주고 있으며[7,8], 본 어븀-실리사이드 박막 형성은 Volmer-Weber 식의 성장에 기인된 것으로 생각한다.

그림 2는 증착한 시료의 두께에 따라 형성된 어븀-실리사이드의 XPS 분석 결과이다. XPS 전체 스캔 스펙트럼에

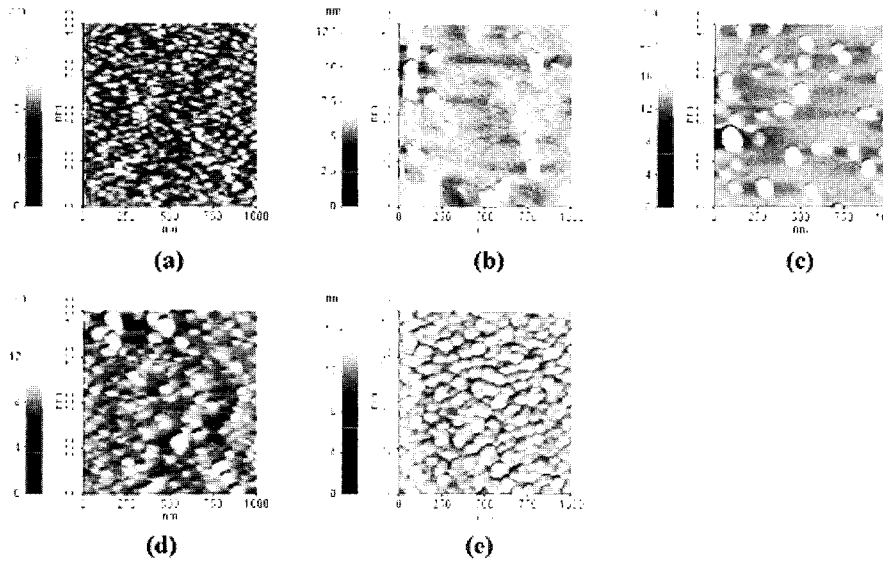


그림 1. 어븀의 증착 두께에 따른 어븀-실리사이드의 AFM 표면 이미지; 어븀의 두께가 각각 (a) 1 Å, (b) 2 Å, (c) 3 Å, (d) 5 Å, (e) 10 Å이다.

서 Er:4p 와 Si:2p peak을 보여주고 있다. 초기 세정한 Si 기판의 경우 O 1s와 C 1s 피크가 거의 존재하지 않아, 증착 전 기판의 RCA와 고온 진공 열처리 공정이 오염을 최소화 하는데 매우 효과적이었음을 알 수 있다. Er 4d의 경우 Si 2s 위성 피크(satellite peak)와 피크가 겹쳐 정확한 데이터 분석에 한계가 있다. 따라서 Er 4p_{3/2} 피크(320 eV)를 고려하였다. 어븀 층의 두께가 증가할수록 Er 4p_{3/2}와 O 1s peak의 강도가 증가하는데, 이는 증착 시간에 따라 형성된 어븀-실리사이드에 산소가 점차로 포함되고 있음을 의미한다.

정밀한 어븀-실리사이드의 화학적 결합 상태를 살펴보기 위하여, Er:4p 와 Si:2p의 결합 에너지 대역을 세분하여 XPS 측정을 수행하였다. 그림 3(a)에서 보여주듯이 어븀-실리사이드의 두께가 증가함에 따라 Er 4p_{3/2}의 결합 에너지인 312~332 eV에서 나타난 피크의 강도는 증가하고 그 반치 폭(FWHM; Full Width Half Maximum)도 8 eV 증가하였으나 피크 위치의 변화는 관찰되지 않았다[9]. 통산적인 어븀 XPS 실험 결과로부터 321.0 eV의 Er 4p_{3/2}의 결합에너지 결과를 얻게 되는데, 이 결과는 어븀 금속은 산화가 잘되어 320.0 eV의 Er 4p_{3/2}의 결합에너지가 높은 결합 에너지 상태로 변화했다고 할 수 있다. 그러나 그림 3(a)의 결과는 피크의 위치가 320.0 eV에서 변화가 없이 그 피크의 폭이 증가한 것으로 보아, 여러 가지 어븀 산화물과 실리사이드 상이 혼재하고 있다고 유추할 수 있다. 그

림 3(b)는 세밀한 Si:2p XPS 실험 결과를 보여 주는데, 어븀의 두께가 1~2 Å인 시료에서는 거의 변화가 없다가, 3 Å 이상의 시료에서는 피크의 위치가 0.2 eV 낮은 결합 에너지 방향으로 변했으며, 그 반치 폭도 0.3 eV 증가함을 보여주고 있다. 이 결과는 1~2 Å 어븀-실리사이드의 극초박막에서는 실리콘 기판효과가 크게 작용하였으며, 이후, 3 Å 이상의 시료에서는 어븀-실리사이드의 형성을 나타내고 있다. 또한, 3 Å 이상의 어븀 증착이 진행됨에 따라 두께는 증가하지만 원자의 결합상태에는 변화가 없음을 알 수 있었으며, 두께에 따른 매우 작은 결합 에너지 변화(0.2 eV)는 형성된 실리사이드의 이온 결합성이 매우 낮음을 나

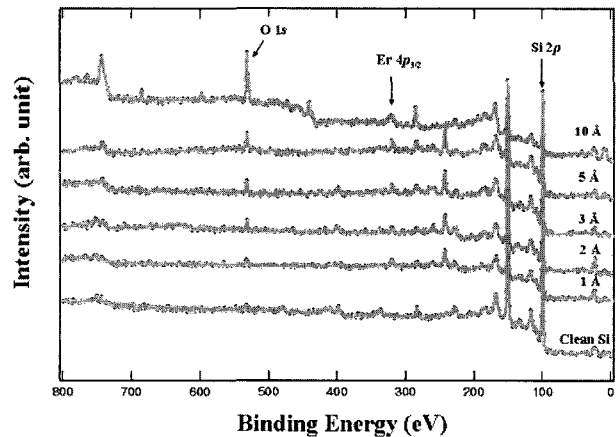


그림 2. 어븀 두께에 따라 형성된 어븀-실리사이드의 XPS 전체 스캔 스펙트럼.

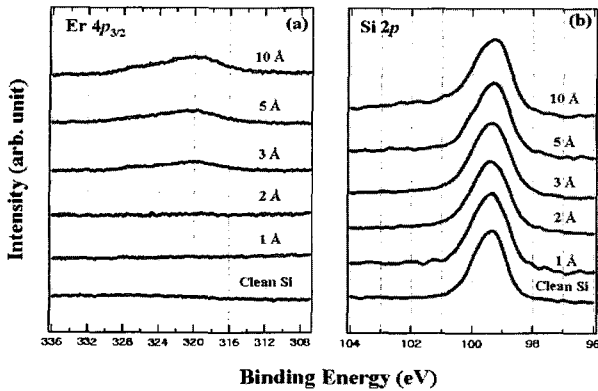


그림 3. 어븀 두께에 따라 형성된 어븀-실리사이드의 Er 4p_{3/2} 와 Si 2p XPS 스펙트럼

타난다.

이상적인 금속/실리콘 반도체 접합으로 이루어진 쇼트키 다이오드에서 쇼트키 장벽의 높이는 금속의 일함수와 실리콘 전자친화도(electron affinity)에 의해서 결정된다. 금속의 일함수는 UPS 실험 결과에서 산출할 수 있으며, He I 광원의 에너지($h\nu=21.2$ eV)와 UPS 스펙트럼의 높은 에너지에서 차단 에너지(cutoff energy)로부터 얻게 된다. 그림 4(a)는 어븀 층의 두께에 따른 어븀-실리사이드의 UPS 측정 스펙트럼을 보여주고 있으며, 어븀의 두께에 따라 차단 에너지가 높은 에너지로 변화함을 보여주고 있다. 물론, 시료의 UPS 측정 이전에 금(Au) 표준 시편을 이용하여 스펙트럼의 에너지 값을 보정하였음을 밝혀 둔다. 보정된 차단 에너지 값으로부터 산출된 각 시료의 일함수가 그림 4(b)에 나타나 있다. 실리콘 기판의 일함수는 4.9 eV이고, 10 Å의 어븀 층을 증착한 어븀-실리사이드 시료는 <4.1 eV의 일함수를 보였다. 어븀 층의 두께가 1 Å에서 3 Å까지 변할 때, 어븀-실리사이드의 일함수는 평균 0.23 eV/Å로 감소하고, 3 Å에서 10 Å까지 두꺼워지면서 거의 변화가 없었다. 이와 같이 두께에 따른 어븀-실리사이드의 일함수의 변화 경향은 이미 기술한 그림 3의 XPS 결과와 일치하고 있음을 보여주고 있다. UPS로 측정된 일함수로부터 쇼트키 장벽 높이를 산출하고, 이 값을 다이오드의 I-V특성을 이용하여 측정된 쇼트키 장벽 높이와 비교 토의는 후에 I-V특성을 기술할 때 하기로 한다[10].

초기 증착한 어븀의 두께에 따라, 형성된 어븀-실리사이드의 상변화를 관찰하기 위하여 XRD 분석을 수행하였으며, 그 결과는 그림 5에 나타나 있다. 측정결과 62도에서 가장 강도가 높은 어븀 금속의 피크를 보여, 어븀이 실리콘

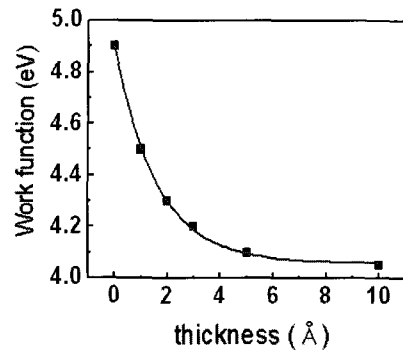
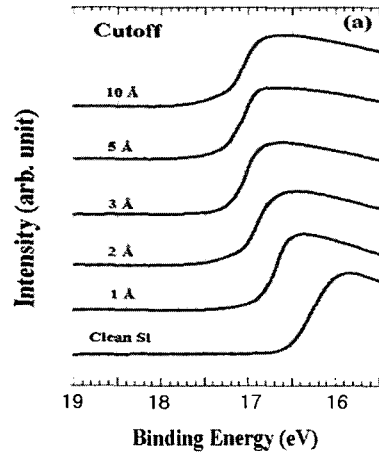


그림 4. (A) 어븀 두께에 따른 어븀-실리사이드의 UPS 측정 결과 (B) 일함수의 변화

과 반응하지 않고 표면에 남아있는 것으로 생각할 수 있다. 또한 70도 부근의 큰 피크는 실리콘 기판에 의한 것이며, 66도와 70도 사이의 작은 피크들은 각각 Er₅Si₃와 Er-Si 중간 상의 피크로 알려져 있다. 반면에 27, 56도 부근에서 나타날 것으로 예상하는 ErSi₂ 관련 피크는 나타나지 않았다. 이는 어븀이 실리콘과 충분히 반응하지 못했음을 알 수 있다. 어븀-실리사이드의 ErSi₂ 상 형성에 관련한 기존의 연구 결과에 따르면, 스퍼터링으로 증착한 어븀 박막을 500°C의 열처리를 거쳐 ErSi₂상이 만들어진다고 발표하였다[11]. 그에 비해 본 연구에서 MBE 기법으로 증착한 어븀 극초박막 시료는 600°C 열처리에서 Er₅Si₃상이 만들어졌다고 할 수 있다. 이는 스퍼터링으로 증착한 어븀 박막에 비해 MBE 기법으로 만든 어븀 박막이 에피탁시(epitaxy)하게 성장하여 원자밀도가 높고, 부분적으로 어븀 산화물의 형성으로 어븀이 실리콘 층으로 확산에 더 높은 에너지가 소요되기 때문일 것으로 생각된다[12].

형성된 어븀-실리사이드/p-형 실리콘 쇼트키 접합의 쇼트키 장벽 높이를 산출하기 위하여 쇼트키 다이오드를

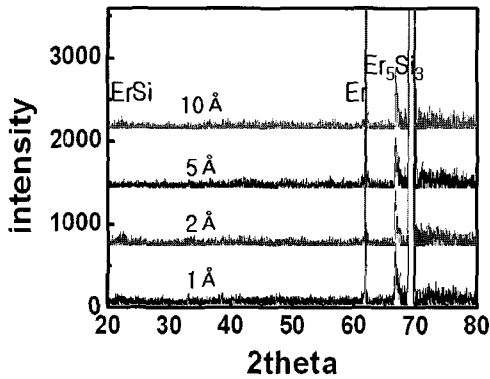


그림 5. 형성된 어븀-실리사이드의 XRD분석 결과

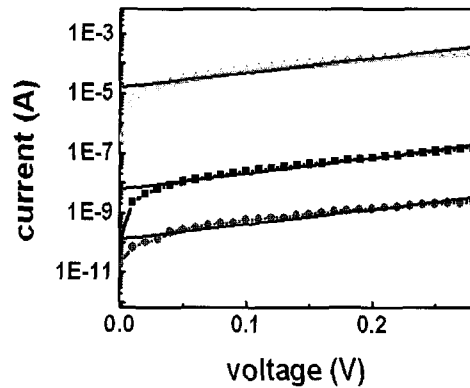


그림 6. 어븀 두께가 10 Å 인 쇼트키 다이오드의 I-V 특성

제작하고, p-형 실리콘 기판에 정방향 전압을 가해주면서 흐르는 전류의 크기를 측정하였다. 이론적인 쇼트키 다이오드의 I-V 특성은 식(1)과 (2)로 표시된다.

$$J = J_s [\exp(qV/nkT) - 1] \tag{1}$$

$$J_s = A^* T^2 \exp(-q\Phi_{bp}/kT) \tag{2}$$

여기서 J_s 는 전류 밀도이고 n 은 ideality factor로 전류밀도와 가해진 전압간의 관계를 보정해주는 요소가 된다. A^* 는 리처드슨(Richardson) 상수로 p-Si에 대해서는 $32 \text{ Acm}^{-2}\text{K}^{-2}$ 의 값을 가지며, Φ_{bp} 는 쇼트키 장벽 높이, k 는 볼츠만 상수, T 는 측정 온도로 300 K이다. A^* 는 측정 조건에 따라 달라지는 값이며, 보통 리처드슨 플롯으로 결정된다. 본 분석에서는 일반적인 p-Si의 이론 값인 $32 \text{ Acm}^{-2}\text{K}^{-2}$ 를 사용했다. 식 (1)과 같이 쇼트키 다이오드의 I-V 특성 곡선에서 저전압 근처($V < 3kT/q$)의 전류 밀도의 로그(log) 값은 전압에 선형으로 비례하게 된다. 걸어준 전압에 따른 이 선형 전류의 연장선이 전류 밀도의 y-축과 교차하는 점이 J_s 를 나타내게 되어, 위 식(2)로부터 쇼트키 장벽 높이인 Φ_{bp} 를 구할 수 있다 [13~15].

그림 6은 10 Å 두께로 어븀을 증착하고 제작한 어븀-실

리사이드/p-형 실리콘 쇼트키 다이오드의 I-V 특성을 보여주고 있다. 흐르는 전류의 크기가 넓은 영역에 걸쳐 퍼져 있음을 볼 수 있는데, 이는 어븀-실리사이드/p-형 실리콘 접합의 전기적 균일성이 낮기 때문이다. 전술한 쇼트키 장벽 높이 추출 방법으로 계산한 높이 또한 0.47 ~ 0.78 eV의 값으로 분포되어 있다. 두께가 다른 어븀-실리사이드/p-형 실리콘 쇼트키 다이오드의 장벽 높이도 같은 방법으로 계산하여 표 1에 정리하였다. 한편, 이상적인 금속/p-형 실리콘 쇼트키 접합의 장벽 높이는 $E_g - q(\Phi_m - \chi)$ 의 식으로 결정되는데, 여기서 E_g 는 실리콘의 밴드갭(1.12 eV), Φ_m 는 금속의 일함수, χ 는 실리콘의 전자친화도(4.05 eV)이다. 이와 같은 값과 함께 그림 4의 UPS 일함수로부터 이상적인 접합을 가정한 상태에서 어븀-실리사이드/p-형 실리콘 쇼트키 접합 장벽 높이를 산출하여 표 1에 정리하였다.

표 1에 나타나 있듯이 어븀-실리사이드/p-형 실리콘 접합에서 어븀-실리사이드의 일함수로부터 계산된 쇼트키 장벽의 높이는 다이오드의 I-V로 측정된 결과와 크게 벗어나지 않을 수 있다. 이러한 현상을 이해하는 가장 단순한 모델은 매우 높은 농도의 금속/반도체 계면에 존재하는 결합 상태에 기인한 것으로, 이 결합이 반도체 표면의 페르미(Fermi) 준위를 이미 고정시키는 효과를 가져오게 되어 쇼

표 1. UPS와 I-V 측정법 및 실험 모델에 의한 쇼트키 장벽 높이

어븀 두께 (Å)	UPS의 결과(eV) $E_g - q(\Phi_m - \chi)$	I-V로 측정된 결과(eV)	실험 모델에 의한 결과(eV) $\Phi_{bp} = E_g - (0.19\Phi_m - 0.26)$
2	0.87	0.44 ~ 0.76	0.56
5	1.07	0.50 ~ 0.71	0.60
10	1.12	0.47 ~ 0.78	0.61

트키 장벽의 높이가 고정된 페르미 준위에 의해 결정된다는 것이다. 이에 따라 쇼트키 접합에서 장벽 높이가 금속의 일함수와 어느 정도 무관하게 결정되며, 이와 같은 금속 일함수와 쇼트키 장벽 높이의 상관관계를 규명하고자 하는 이론적, 실험적인 연구가 지난 수 십 년 동안 진행되어 왔다 [16, 17]. 그 결과로, 금속/ n -형 실리콘 접합의 쇼트키 장벽 높이는 실험적으로 $\Phi_{Bn} = 0.27\Phi_m - 0.55$ 의 식으로 알려져 있으며, 금속-실리사이드/ n -형 실리콘 접합의 쇼트키 장벽 높이는 실험적으로 $\Phi_{Bn} = 0.19\Phi_m - 0.26$ 의 관계를 갖는 것으로 밝혀졌다[10]. 금속-실리사이드/ p -형 실리콘 접합의 쇼트키 장벽 높이에 관해서는 아직 체계적인 연구가 수행된 바 없다. 본 실험 결과 분석에서는 어븀-실리사이드의 UPS 일함수 값을 Bucher 등이 도출한 $\Phi_{Bn} = 0.19\Phi_m - 0.26$ 관계식에 적용하고 p -형과 n -형에서 각각의 쇼트키 장벽 높이의 합이 밴드갭 크기가 되는 것을 이용하여 어븀-실리사이드/ p -형 실리콘 접합의 쇼트키 장벽 높이를 산출하였다. 그 결과는 표 1에 나타나 있으며, I-V 측정 결과와 어느 정도 일치함을 보였다.

전술한 바와 같이 전류 구동성이 높은 SBTT의 구현을 위해서는 높은 장벽을 갖는 어븀-실리사이드/ p -형 실리콘 쇼트키 접합이 필요한데, 본 I-V 측정에서 나타난 0.78 eV 쇼트키 장벽 높이 결과는 주목할 점이다. 이는 쇼트키 접합 단면에서 접합의 상태가 불균일하여 전류가 흐르는 실제 표면적이 작아지고, 이에 따라 전류밀도 값이 작아져서 장벽 높이 값이 오차를 보인다고 추측할 수 있다. 그러나 그림 1의 10 Å 시료의 AFM 이미지를 살펴볼 때, 이 높이가 Er_5Si_3 상이 균일하게 덮혀있는 다이오드 시료가 나타내는 값이라면, 고온 공정을 통하여 $ErSi_2$ 상을 형성시키는 경우 더 높은 쇼트키 장벽을 기대할 수 있다. 따라서, 앞으로 이러한 어븀-실리사이드/실리콘 계면에서 어븀-실리사이드의 상과 쇼트키 장벽 높이와 상관 관계를 규명하고자 하는 세밀한 연구가 필요할 것이다.

IV. 결 론

기존 MOSFET 구조의 소스와 드레인을 금속 실리사이드로 대체하는 SBTT 소자는 기존 MOSFET 소자의 단점을 보완하여, 초고집적성을 만족하고, 초고속 동작 특성을 나타낼 것으로 예견하고 있다. 특히, 어븀-실리사이드/ p -형

실리콘 쇼트키 장벽 높이는 n -채널 SBTT의 전류 특성을 좌우하게 된다. 본 실험에서는 어븀-실리사이드/ p -형 실리콘 쇼트키 접합에서 쇼트키 장벽 높이에 영향을 미치는 초기 접합 상태 변화와 장벽 높이와 상관성을 규명하고자 하였다. AFM과 XRD 측정 결과로부터 Er_5Si_3 상이 균일하게 덮혀있는 어븀-실리사이드가 형성되었음을 알 수 있었으며, XPS 실험 결과도 실리사이드의 형성을 말해주고 있다. UPS 실험으로 측정된 일함수로부터 이상적 접합을 가정하고 산출한 쇼트키 장벽 높이와 I-V 측정 결과는 큰 차이를 보여주고 있으며, 이는 계면에 Er_5Si_3 상의 형성과 이에 따르는 높은 밀도의 계면 결합 상태에 기인한 것으로 생각한다. 높은 계면 결합 밀도에 의한 실험적인 모델을 도입하면 UPS 측정 결과와 I-V 측정 결과에 의한 쇼트키 장벽 높이가 서로 어느 정도 일치한다고 할 수 있다. 본 결과 분석으로부터 어븀-실리사이드/ p -형 실리콘 쇼트키 접합 계면에서 Er_5Si_3 상 없이 $ErSi_2$ 상을 형성시키는 경우 더 높은 쇼트키 장벽 형성이 가능하며, 높은 전류 구동력을 가지는 n -채널 SBTT의 구현을 기대할 수 있다.

감사의 글

본 연구는 한국전자통신연구원에서 수행중인 정보통신부 “정보통신용 고기능 반도체 나노 신소재 기술” 사업의 지원을 받은 위탁과제로 수행된 연구 결과임을 밝힙니다.

참고문헌

- [1] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, J. P. Snyder, and J. R. Tucker, *J. Appl. Phys.* **91**, 757 (2002).
- [2] J. P. Snyder, C. R. Helms, and Y. Nishi, *Appl. Phys. Lett.* **67**, 1420 (1995).
- [3] S. S. Lau, C. S. Pai, C. S. Wu, T. F. Kuech, and B. X. Liu, *Appl. Phys. Lett.* **41**, 77 (1982).
- [4] S. M. Sze, *Physics of Semiconductor Devices* (Wiley, New York, 1981), pp.492.
- [5] M. Jang, Y. Kim, J. Shin, S. Lee, and K. Park, *Appl. Phys. Lett.* **84**, 741 (2004).

- [6] X. Zhenjia, *Properties of Metal Silicides* (INSPEC, London, 1995), pp.169-172, 217-223.
- [7] S. Fujii, Y. Michishita, N. Miyamae, H. Suto, S. Honda, H. Okado, K. Oura, and M. Katayama, *Thin Solid Films* **508**, 82 (2006).
- [8] J. Yang, Q. Cai, X. D. Wang, and R. Koch, *Sur.Sci.* **526**, 291 (2003).
- [9] L. Haderbache, P.Wetzel, C. Pirri, J. C. Peruchetti, D. Bolmont, and G. Gewinner, *Appl. Phys. Lett.* **57**, 341 (1990).
- [10] E. Bucher, S. Schulz, M. Ch. Lux-Steiner, P. Munz, U. Gubler, and F. Greuter, *Appl. Phys. A* **40**, 71 (1986).
- [11] M. Jang, Y. Kim, J. Shin, and S. Lee, *Mater. Sci. Eng. B* **114-115**, 51 (2004).
- [12] M.Q. Huda and K. Sakamoto, *Mater. Sci. Eng. B* **89**, 378 (2002).
- [13] R. Menozzi, *Solid-State Electronics* **38**, 1511 (1995).
- [14] B. Pellegrini, *Solid-State Electronics* **18**, 417 (1975).
- [15] M. Jang and J. Lee, *ETRI journal* **24**, 455 (2002).
- [16] R. T. Tung, *Phys. Rev. Lett.* **84**, 6078 (2000).
- [17] S. M. Sze, *Physics of Semiconductor Devices* (Wiley, New York, 1981), pp.270.

Change of Schottky barrier height in Er-silicide / *p*-silicon junction

Sol Lee, Seungho Jeon[†], Changhun Ko¹, Moon-sup Han¹, Moongyu Jang²,
Seongjae Lee³ and Kyoungwan Park^{*}

Department of Nano Science & Technology, University of Seoul, Seoul 130-743

¹*Department of Physics, University of Seoul, Seoul 130-743*

²*IT Fusion Technology Research Division, ETRI, Daejeon 305-350*

³*Department of Physics, Hanyang University, Seoul 133-971*

DongbuAnam Semiconductor Nano-Photo, Chungbuk 369-852

(Received March 29, 2007)

Ultra thin Er-silicide layers formed by Er deposition on the clean *p*-silicon and *in situ* post annealing technique were investigated with respect to change of the Schottky barrier height. The formation of Er silicides was confirmed by XPS results. UPS measurements revealed that the workfunction of the silicide decreased and was saturated as the deposited Er thickness increased up to 10 Å. We found that the silicides were mainly composed of Er₅Si₃ phase through the XRD experiments. After Schottky diodes were fabricated with the Er silicide / *p*-Si junctions, the Schottky barrier heights were calculated 0.44 ~ 0.78 eV from the I-V measurements of the Schottky diodes. There was large discrepancy in the Schottky barrier heights deduced from the UPS with the ideal junction condition and the *real* I-V measurements, so that we attributed the discrepancy to the Er₅Si₃ phase in the Er-silicides and the large interfacial density of trap state of it.

Keyword : Er-silicide, Schottky junction, Ultraviolet Photoemission Spectroscopy, Schottky diode, Work function, Schottky barrier height

* [E-mail] kwpark@uos.ac.kr