

논문 2008-5-5

디지털 오디오 프로세서용 전류모드 소자의 성능 개선에 관한 연구

Performance Improvement of Current-mode Device for Digital Audio Processor

김성권*, 조주필**, 차재상***

Seong-Kweon Kim , Ju-Phil Cho and Jae-Sang Cha

요약 본 논문은 디지털 오디오 신호처리의 고속 및 저전력 동작을 구현하기 위한 전류모드 신호처리의 고성능 회로에 관하여 설계방안을 제시한다. 디지털 오디오 프로세서는 FFT(fast Fourier transform)와 같은 디지털 연산 동작이 필요하며, FFT 프로세서는 그 설정 포인트에 따라, 전력이 많이 필요하게 되며, 또한 고속 동작의 요구에 따라, 전력의 부담은 증대되고 있다. 따라서, 디지털 오디오 프로세서에 SI(switched current) circuit을 이용하는 analog current-mode 신호처리의 응용이 적용되게 되었다. 그러나 SI circuit을 구성하는 current memory는 clock-feedthrough의 문제점을 갖기 때문에, 전류 전달 특성에 있어서 오차를 발생시킨다. 본 논문에서는 current memory의 문제점인 clock-feedthrough의 해결방안으로 switch MOS에 dummy MOS의 연결을 검토하고, 0.25um process로 제작하기 위하여 switch MOS와 dummy MOS의 width의 관계를 도출하고자 한다. 시뮬레이션 결과, memory MOS의 width가 20um, 입력전류와 바이어스전류의 비가 0.3, switch MOS의 width가 2~5um일 경우에 switch MOS와 dummy MOS의 width는 $W_{M4} = 1.95 W_{M3} + 1.2$ 의 관계로 정의되고, switch MOS의 width가 5~10um일 경우에 width는 $W_{M4} = 0.92 W_{M3} + 6.3$ 의 관계로 정의되는 것을 확인하였다. 이 때, 정의된 MOS transistor의 width관계는 memory MOS의 설계에 유용한 지침이 될 것이며, 저전력 고속 동작의 디지털 오디오 프로세서의 적용에 매우 유용할 것으로 기대된다.

Abstract This paper presents the design method of current-mode signal processing for high speed and low power digital audio signal processing. The digital audio processor requires a digital signal processing such as fast Fourier transform (FFT), which has a problem of large power consumption according to the settled point number and high speed operation. Therefore, a current-mode signal processing with a switched Current (SI) circuit was employed to the digital audio signal processing because a limited battery life should be considered for a low power operation. However, current memory that construct a SI circuit has a problem called clock-feedthrough. In this paper, we examine the connection of dummy MOS that is the common solution of clock-feedthrough and are willing to calculate the relation of width between dummy MOS for a proposal of the design methodology for improvement of current memory. As a result of simulation, in case of that the width of memory MOS is 20um, ratio of input current and bias current is 0.3, the relation of width between switch MOS and dummy MOS is $W_{M4} = 1.95 W_{M3} + 1.2$ for the width of switch MOS is 2~5um, it is $W_{M4} = 0.92 W_{M3} + 6.3$ for the width of switch MOS is 5~10um. Then the defined relation of MOS transistors can be a useful design guidance for a high speed low power digital audio processor.

Key Words : Digital audio processor, Current-mode 신호처리, Clock-Feedthrough, Dummy MOS

*정회원, 목포해양대학교 해양전자통신공학부

**정회원, 군산대학교 전자정보공학부

***정회원, 서울산업대학교 매체공학과(교신저자)

접수일자 2008.8.12, 수정완료일자 2008.9.5

I. 서 론

디지털 오디오 프로세스 기술은 음질의 개선, 잡음 제거, 풍부한 음원의 개발을 위하여 연구되는 영역으로, 디지털 신호처리의 기술의 발전에 따라, 디지털 신호처리 기술의 적용이 매우 활발하게 이루어지고 있다. 또한, 디지털 신호처리의 핵심 기술 중 하나인 fast Fourier transform (FFT) 과 같은 기술이 적용되며, 실시간으로 신호처리가 이루어져야 하는 관계로, 고속동작이 요구되며, 고속 동작에 따른, 소비전력의 절감문제가 대두되게 되었다.

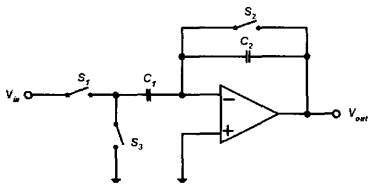


그림 1. SC (Switched-capacitor) circuit
Fig. 1. SC (Switched-capacitor) circuit

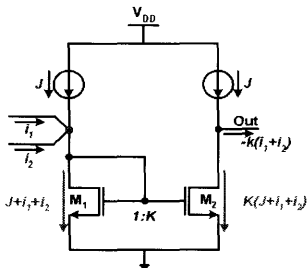


그림 2. Gate width-ratio current mirror
Fig. 2. Gate width-ratio current mirror

디지털 오디오 신호처리는 소비전력이 동작 주파수에 따라 선형적으로 증가하는 특성이 있으며, 고속 동작은 디지털 신호처리에 큰 부담이 된다. 따라서 한정된 배터리의 수명을 고려할 때에 디지털 오디오 신호처리를 위한 LSI (Large Scale Integrated Circuit)는 저전력 동작이 매우 중요하다.

Digital voltage-mode signal processing은 신호처리의 정확도면에서는 우수한 성능을 갖고 있지만, 이를 구현하는 SC (Switched-Capacitor) circuit은 그림 1에서 볼 수 있듯이, 외부에서 capacitor를 연결하고 voltage operational amplifier로 동작되기 때문에 주파수가 높아질수록 높은 전력이 요구된다. 반면 analog

current-mode signal processing을 구현하는 SI (Switched-Current) circuit은 current mirror를 기본회로로 사용함으로써 초기에 설정한 바이어스 전압으로 동작하기 때문에 전력의 변화에 영향을 주지 않는다.

따라서 SI circuit은 주파수가 높아져도 초기 전력을 유지하여 저전력 동작을 하는 장점이 있다^[1].

Analog current-mode signal processing의 구현을 위해서는 신호처리의 기본동작인 summation, signal inversion, scaling, memory가 요구된다. 여기서 SI circuit을 이용하여 구현됨으로써 analog current-mode signal processing이 가능함을 확인할 수 있다^[2].

그러나 SI circuit을 구성하는 CM (Current Memory)은 MOS (Metal-Oxide Semiconductor)로 설계되기 때문에 transistor의 비선형적인 동작과 threshold voltage (V_{th}), device aspect ratio (W/L), transconductance parameter (k'), channel-length modulation parameter (λ) 등과 같은 공정상의 mismatch와 clock-feedthrough에 의한 harmonic distortion으로 CM의 성능을 저하시키는 단점으로 갖고 있다. 현재 clock-feedthrough의 해결 방안으로 dummy MOS / CMOS switch 사용, multiple sampling, constant-voltage switching 등의 방법이 제안되고 있다.

본 논문에서는 디지털 오디오의 고속 신호처리의 저전력 동작을 위하여 SI circuit을 연구하고, SI circuit의 기본 device인 CM의 공정상의 mismatch에 의하여 발생하는 THD (total harmonic distortion)을 고려하고, clock-feedthrough의 해결방안으로 dummy MOS의 연결을 검토한다. 또한 0.25um CMOS process로 CM을 제작하기 위하여 memory MOS와 switch MOS 및 dummy MOS의 적절한 width 값의 관계를 도출하고, 유용한 설계방법을 제공하고자 한다.

II. SI (Switched-Current) circuit

1. Analog Current-mode signal processing

신호처리는 digital voltage-mode signal processing과 analog current-mode signal processing이 있다. 이 때, 통신시스템의 저전력 동작을 위한 신호처리로 analog current-mode signal processing이 주목되었고, 이를 구현하기 위하여 신호처리의 기본동작이 요구된다. 따라서

신호처리의 기본동작의 summation, signal inversion, scaling 동작은 gate width-ratio current mirror에 의해 구현되며, memory는 CM의 track/hold (T/H)에 의해 구현된다.

그림 2와 같이 입력 노드에 ac 전류 (i_1, i_2)를 입력하면, summation point에서 i_1, i_2 를 합한 값이 입력되어 summation 동작을 한다. 이 때 최대 input signal은 DC bias current보다 작아야 한다. 또한 출력에서 total input signal ($i_1 + i_2$)과 같은 신호를 다음 단에서 끌어오기 때문에 inversion된 $-(i_1 + i_2)$ 의 신호가 출력된다. 즉, signal inversion 동작이 구현됨을 확인할 수 있다. Scaling 동작은 M_1 과 M_2 의 aspect ratio factor (K)에 따른다. 그림 2와 같이 M_1 의 I_{ds1} 이 식 (1)과 같다면, M_2 의 I_{ds2} 는 K 에 의해 식 (2)과 같다.

$$I_{ds1} = J + i_1 + i_2 \quad (1)$$

$$I_{ds2} = k(J + i_1 + i_2) \quad (2)$$

따라서 analog current-mode signal processing으로 신호처리의 기본동작의 구현이 가능함을 확인할 수 있다.

2. SI (Switched-Current) circuit의 기본원리

SI (Switched-current) circuit은 SC circuit과 마찬가지로 그림 3에서 보는 것과 같이 3개의 switch (SW_1, SW_2, SW_3)에 의해 동작된다. SW_1 과 SW_2 은 input signal을 제어하며, SW_3 는 output signal을 결정하는 역할을 한다. SI circuit의 동작은 CM의 current track과 hold (T/H)에 의해 구현되며, 그림 4와 같다. 그림 4(a)와 같이 track mode는 SW_1, SW_2 가 on이 되면, ac input signal (i_{in})이 입력되고, memory MOS (M_1)의 gate에 i_{in} 과 dc bias current (J)가 합해진 current $J + i_{in}$ 이 흐를 수 있는 V_{gs} 가 인가되기 때문에, M_1 의 drain-source 사이에 $J + i_{in}$ 와 같은 current가 흐른다. 또한 M_1 의 gate-source 사이의 parasitic capacitor (C_{gs})에 V_{gs} 를 저장한다. Hold mode는 그림 4(b)처럼 SW_1, SW_2, SW_3 모두 off가 되면, M_1 에 J 만 흐르지만, M_1 의 C_{gs} 에는 V_{gs} 를 유지한다. 지연시간 후,

SW_1, SW_2 가 off되어 있는 상태에서 SW_3 을 on 하면, C_{gs} 에 저장되어 있는 V_{gs} 에 의해서 M_1 의 I_{ds1} 은 track mode와 같은 current $J + i_{in}$ 가 흐르게 된다. 이 때, M_1 과 M_2 의 gate가 연결되어 있기 때문에, 인가되는 V_{gs} 는 같고, M_2 의 I_{ds2} 는 M_1 과 같게 된다. 따라서 output signal은 M_2 의 I_{ds2} 가 $J + i_{in}$ 이기 위하여 다음 단에서 input signal과 같은 i_{in} 을 끌어온다. 즉, 지연시간 동안 input signal을 기억하고 있다가 출력하는 memory 동작을 하게 된다. 그러나 CM은 threshold voltage의 mismatch에 의하여 harmonic distortion과 switch의 on/off에 의해 동작에 의한 clock-feedthrough와 같은 문제점이 발생한다.

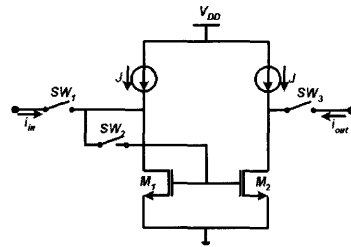
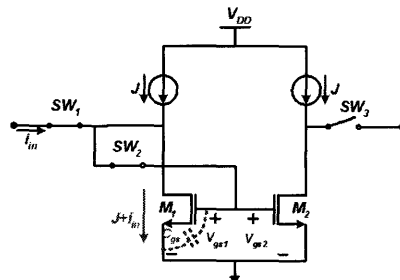
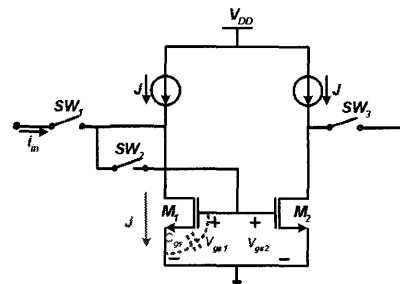


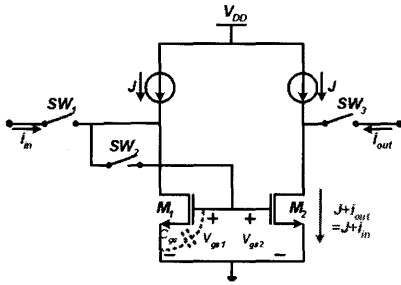
그림 3. SI (switched-current) circuit
Fig 3. SI (switched-current) circuit



(a) Track mode



(b) Hold mode



(c) Output mode

그림 4. Current memory의 track/hold 동작
Fig. 4. Track/hold operation of current memory

그림 5는 current memory의 memory cell과 switch를 MOS로 나타낸 것으로, M_m 은 memory MOS, M_s 는 switch MOS, C_{gs} 는 M_m 의 gate-drain 사이에 존재하는 parasitic capacitor, C_{gd} 는 M_s 의 parasitic capacitor이다. Switch (M_s)의 gate에 high voltage가 인가되면 M_s 는 on이 되며, current memory는 track mode로 동작된다. M_s 가 on이 되면, input current (i_{in})가 입력되어, M_m 에는 bias current (J)와 input current (i_{in})의 합인 $J + i_{in}$ 이 흐른다. 이 때, M_m 의 parasitic capacitor (C_{gs})에 V_{gs} 만큼의 charge를 충전하며, 식 (3)과 같다.

$$Q_{on} = C_{gs} \cdot V_{gs} \quad (3)$$

III. Clock-Feedthrough와 해결방안

1. CM의 clock-Feedthrough

Clock-feedthrough는 current memory에서 harmonic distortion을 발생시키는 중요한 원인으로, current memory가 hold mode, 즉 memory MOS의 gate에 연결된 switch가 off 되었을 때, memory MOS의 capacitive node에 저장된 charge가 switch의 parasitic capacitor에 누설되는 현상이다.

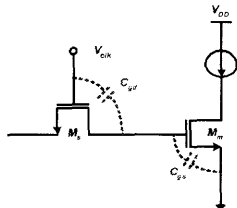


그림 5. Current memory의 parasitic capacitor
Fig. 5. Parasitic capacitor of current memory

하지만 M_s 의 gate에 low voltage가 인가된 hold mode일 경우, 그림 8과 같이 C_{gd} 는 ground에 연결된 것과 같기 때문에 C_{gs} 와 병렬 합성된 것과 같다. 따라서 C_{gs} 에 충전되어 있는 charge가 C_{gd} 로 누설되는 clock-feedthrough 현상이 발생하고, 식 (4)와 같이 M_m 의 gate voltage를 변동시킨다. 즉, input signal을 지연시간 동안 memory할 수 없고, current memory의 성능을 저하시키게 된다.

$$Q_{off} = (C_{gs} + C_{gd}) \cdot \Delta V_{gs} \quad (4)$$

$$\Delta V_{gs} = \frac{C_{gs}}{C_{gs} + C_{gd}} \cdot V_{gs}$$

그림 6. Switch가 off일 때, memory cell의 동작
Fig. 6. Operation of memory cell when switch turn off

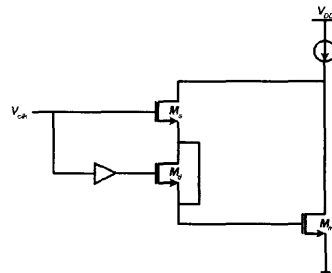
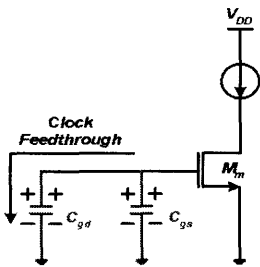


그림 7. Dummy switch (M_d)를 이용한 current memory
Fig. 7. Current memory with dummy switch (M_d)

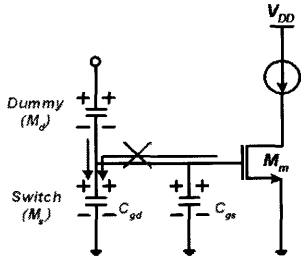


그림 8. Dummy switch (M_d)를 이용한 current memory

Fig. 8. Current memory with dummy switch (M_d)

2. Dummy MOS를 이용한 Clock-Feedthrough cancellation

Clock-feedthrough는 switch의 parasitic capacitor에 의해 memory MOS의 V_{gs} 를 변동시키는 문제점을 가지고 있다. 따라서 이를 해결하는 방법으로 dummy MOS의 연결을 검토하였다^[3]. 그림 7은 dummy switch (M_d)를 나타낸 것으로, M_s 와 반대동작을 하도록 inverter를 연결한다. M_s 가 off 되면 M_d 는 on이 되고, M_s 로 누설되는 charge Q_1 을 M_d 의 charge Q_2 로 보완함으로써, track mode에서 M_m 의 C_{gs} 에 충전한 charge를 유지할 수 있다.

$$\begin{aligned} Q_1 &= C_{gd(M_s)} \cdot (V_{dk} - V_{th}) \\ Q_2 &= C_{gd(M_d)} \cdot (V_{dk} - V_{th}) \\ \Delta V_{gs} &= \frac{Q}{C_{gs}} - \frac{Q_1}{C_{gd(M_s)}} + \frac{Q_2}{C_{gd(M_d)}} = \frac{Q}{C_{gs}} \end{aligned} \quad (5)$$

IV. Memory MOS와 switch 및 dummy MOS의 적절한 Width 관계 도출

1. 시뮬레이션 파라미터 설정

Dummy MOS를 연결한 CM의 memory MOS (M_2)와 switch MOS (M_3) 및 dummy MOS (M_4)의 width 관계를 도출하기 위하여 시뮬레이션 파라미터를 설정하여야 한다. 설정할 파라미터로는 입력 전류(i_{in})와 바이어스 전류(J)의 ratio, 전류원을 구성하는 pMOS의

width, memory MOS의 width와 delay time이 있다. i_{in}/J 는 CM의 threshold voltage mismatch (ΔV_{th})를 고려하여 설정된다. ΔV_{th} 에 의해 offset current는 식 (6)과 같고, 이 offset current를 감소시키기 위해 셋째 항인 harmonic distortion을 절감시켜줄 필요가 있다.

$$\begin{aligned} i_e &= \left[2\sqrt{KJ} \cdot \Delta V_t - \frac{1}{8}\sqrt{KJ} \cdot M_I^2 \cdot \Delta V_t + K \cdot \Delta V_t^2 \right] (6) \\ &+ \left[\sqrt{KJ} \cdot M_I \cdot \Delta V_t + \frac{3}{32}\sqrt{KJ} \cdot M_I^3 \cdot \Delta V_t \right] \cdot \sin(\omega t) \\ &+ \left[\frac{1}{8}\sqrt{KJ} \cdot M_I^2 \cdot \Delta V_t \cos(2\omega t) - \dots \right] \end{aligned}$$

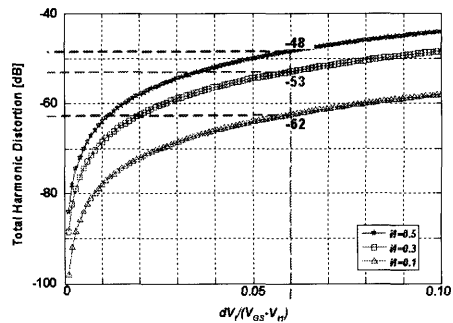


그림 9. Total harmonic distortion
Fig. 9. Total harmonic distortion

표 1. Simulation parameter

Table 1. Simulation parameter

parameter	value
input current(i_{in})와 bias current(J)의 ratio	0.3
전류원의 pMOS width (W_p)	34.1um
memory의 nMOS width (W_n)	20um
Delay time	200us

Harmonic distortion은 i_{in} 와 J 의 ratio (M_I)와 밀접한 관계를 갖고 있기 때문에 이 M_I 를 적절하게 설정해야 한다. 따라서 total harmonic distortion (THD)은 다음 식 (7)과 같이 나타낼 수 있으며, 이를 Matlab으로 simulation한 결과는 그림 9과 같다^[4].

$$THD = \frac{1}{8} \left(\frac{i}{J} \right) \frac{\Delta V_t}{V_{GS} - V_{t1}} \quad (7)$$

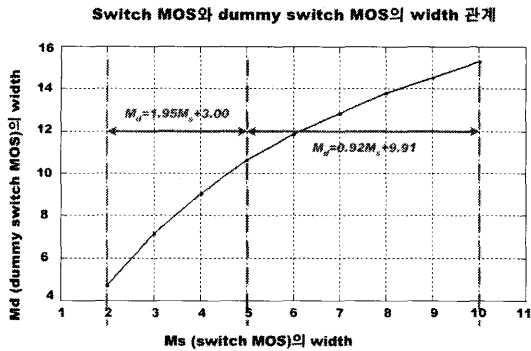


그림 10. M_s , M_d 의 Width관계

Fig. 10. the relation between width of M_s and M_d

보통 THD는 -40dB 이하로 설정되기 때문에 그림 3에 의해서 M_7 는 표 1과 같이 설정할 수 있으며, 본 논문에서는 가장 적절한 값 0.3으로 설정하였다.

2. 시뮬레이션

시뮬레이션은 M_2 의 width 값을 고정하고 M_3 의 width 값을 1~10um까지 변동함으로써 M_4 의 width 값을 확인한다. 이 때, 출력 전류가 입력 전류와 동일한 경우 M_4 width 값을 결정하였다. 시뮬레이션 결과, M_3 과 M_4 의 관계는 그림 10과 같이 비례관계를 나타내고, M_3 가 2~5um일 경우에 M_4 의 width는 $W_{M4} = 1.95 W_{M3} + 1.2$ 의 관계로 정의되고, M_3 가 5~10um일 경우에 width는 $W_{M4} = 0.92 W_{M3} + 6.3$ 의 관계로 정의된다.

V. 결론

한정된 배터리의 수명 조건에서 고속 디지털 오디오 신호처리에는 저전력 동작이 매우 중요하다. 따라서 저전력 동작이 가능한 SI circuit을 이용하는 analog current-mode signal processing이 주목되었다. 그러나 SI circuit을 구성하는 CM은 transistor의 비선형적인 동작과 mismatch에 의해 clock-feedthrough의 문제점을 갖기 때문에, 전류 전달 특성에 있어서 오차를 발생시킨다. 본 논문에서는 CM의 문제점인 clock-feedthrough의

해결방안으로 dummy MOS의 연결을 검토하였고, 0.25um process로 제작하기 위하여 memory MOS와 스위치 및 dummy MOS의 width의 관계를 도출하였다. 시뮬레이션 결과, switch MOS의 width가 2~5um일 경우에 dummy MOS의 width는 $W_{M4} = 1.95 W_{M3} + 1.2$ 의 관계로 정의되고, switch MOS의 width가 5~10um일 경우에 $W_{M4} = 0.92 W_{M3} + 6.3$ 의 관계로 정의된다. 이 때, 정의된 MOS transistor의 관계는 memory MOS의 설계에 유용한 지침이 될 것이며, 저전력 디지털 오디오용 LSI의 구현에 유용할 것으로 기대된다.

참 고 문 헌

- [1] H. C. Yang, T. S. Fiez and D. J. Allstot, Current-Feedthrough Effects and Cancellation Techniques in Switched-Current Circuits, in *Proc. IEEE Int. Symp. Circuits and Systems*, vol.II, pp. 3186-3188, May 1990
- [2] Terri S. Fiez, David J. Allstot, CMOS Switched-Current Ladder Filters, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, Vol. 25, No. 6, December 1990.
- [3] Ganesh Kumar Balachandran and Phillip E. Allen, Switched-Current Circuits in Digital CMOS Technology with Low Charge-Injection Errors, *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, Vol. 37, No. 10, October 2002.
- [4] Jorge M. Martins, Victor, Harmonic Distortion in Switched-Current Audio Memory Cells, *IEEE Transactions on Circuits and System-II: Analog and Digital Signal Processing*, Vol. 46, No. 3, March 1999.

※ 본 연구내용의 일부는 2008년도 정부 (과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구입니다. (No. R01-2006-000-11183-0)

저자 소개

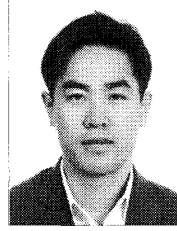
김 성 권(정회원)



- 1996년 인하대학교 전자재료공과 졸업 (공학사)
- 2002년 일본 Tohoku 대학교 대학원 전자공학과 (공학박사)
- 2002년 일본 Tohoku 대학 전기통신 연구소 조수 및 Research Fellow
- 2004년 8월~현재 목포해양대학교 해양전자통신공학부 조교수

<주관심분야 : 디지털 음향 및 멀티미디어 회로 설계, OFDM용 LSI 설계, 주파수분배정책 및 주파수의 효율적 사용에 관한 연구, 고주파 회로설계, 무선통신회로>

차 재 상(정회원)

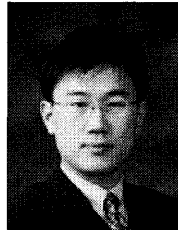


- 1991년 성균관대학교 전기공학과 졸업(공학사)
- 1997년 성균관대학교 전기공학과 (공학석사)
- 2000년 일본 Tohoku 대학교 대학원 전자공학과 (공학박사)
- 2000년~2002년 한국전자통신연구원(ETRI) 무선방송기술연구소 선임연구원

- 2002년~2005년 서경대학교 정보통신공학과 전임강사
- 2005년~현재 서울산업대학교 매체공학과 조교수

<주관심분야 : 디지털 방송전송기술, Cognitive Radio, UWB, 홈네트워크 무선통신기술, 대역확산 및 다중접속 기술, 4세대 이동통신기술>

조 주 필(정회원)



- 1992년 전북대학교 정보통신공학과 졸업 (공학사)
- 1994년 전북대학교 전자공학과 (공학석사)
- 2001년 전북대학교 전자공학과 (공학박사)
- 2000년~2005년 한국전자통신연구원(ETRI) 이동통신연구단 선임연구원

- 2005년 3월~현재 국립군산대학교 전자정보공학부 조교수

<주관심분야 : 적응신호처리, 차세대이동통신기술, Cognitive Radio, WiBro>