

Pseudo-MOSFET을 이용한 SiGe-on-SOI의 Ge 농도에 따른 기판의 특성 평가 및 열처리를 이용한 전기적 특성 개선 효과

박군호¹ · 정종완² · 조원주¹

¹광운대학교 전자재료공학과, 서울 139-701

²세종대 나노공학과, 서울 143-747

(2008년 3월 5일 받음)

Pseudo-MOSFET 방법을 이용하여 Ge농도에 따른 SiGe-on-Insulator(SGOI) 기판의 특성을 평가하였다. SGOI 기판은 compressive-SiGe / Relaxed-Si / Buried oxide / Si-substrate 구조로 SOI 기판 위에 에피택셜 성장법으로 SiGe층을 형성하였으며 compressive SiGe층의 Ge 농도는 각각 16.2%, 29.7%, 34.3%, 56.5% 이다. 실험결과 Ge 농도가 증가함에 따라 누설전류가 증가하는 특성을 보였으며 threshold voltage는 nMOSFET의 경우 3V 에서 7V 로 이동하였으며 pMOSFET의 경우도 -7 V 에서 -6 V 로 이동하는 특성을 보였다. 급속 열처리 공정 (rapid thermal anneal) 후에 매몰 산화층과 기판 계면간의 스트레스에 의한 포획준위가 발생하여 소자특성이 열화되었지만, H₂/N₂ 분위기에서 후속 열처리 공정 (post RTA anneal) 을 통하여 계면 간의 포획준위를 감소시켜 SGOI Pseudo-MOSFET의 전기적 특성이 개선되었다.

주제어: SGOI, SiGe-on-SOI, compressive SiGe, Pseudo MOSFET

I. 서 론

SOI를 이용한 집적회로 구조의 경우 기판과 소자, 그리고 소자와 소자가 전기적으로 완전히 분리된 구조이므로 전기적 절연 특성이 뛰어나고, 접합 면적의 감소에 따른 기생 정전용량의 감소와 소자의 고집적화, 고속화, 저전력화를 실현할 수 있는 첨단 기술이다. 최근에는 이러한 SOI 기판의 특성을 더욱 향상시킨 strained SOI (sSOI) 기술이 주목을 받고 있다[1-3]. 이 기술은 Si과 Ge의 격자 상수 차이에 의한 strain을 이용하여 채널에서의 캐리어 이동도를 증가시켜 소자특성을 개선시키는 기술이다.

Pseudo-MOSFET은 두 개의 탐침을 시료의 표면에 적절한 압력으로 접촉시켜서 소스와 드레인처럼 동작하도록 하였고, 게이트 전극은 기판의 뒷면에 탐침을 접촉시킴으로써 형성시키는 매우 간단한 구조를 가진다. 이 소자의 장점은 별도의 공정 없이 간단하게 기판 특성을 분석할 수 있다는 장점을 가진다[4-5].

SOI 구조의 소자는 기존의 벌크 실리콘 소자와는 다르게 다수의 계면 층이 있어 초기상태의 기판 특성과 소자 제작

공정에 의한 특성 변화를 파악해야 한다. 최근 SOI 기판의 특성을 연구한 논문이 보고된 바 있으나 SOI 기판을 기반으로 한 strain 구조에서의 기판 특성은 아직 보고된 바가 없다. 따라서 본 연구에서는 Pseudo-MOSFET 방법을 이용하여 Ge 농도에 따른 SGOI 기판의 특성을 평가하였고, 또한 후속 열처리 공정 이후의 특성 향상을 확인하였다.

II. 실험

본 연구에서 사용된 기판의 실리콘 두께와 매몰 산화층의 두께는 각각 30nm, 145nm 이며 Shin-Etsu사에서 제작한 (100) 면 방향을 가지는 SOI 기판을 이용하였다. SOI 기판위에 550 ℃에서 에피택셜 성장법으로 SiGe층을 30 nm 성장하였고, 이때 SiGe층의 Ge 농도는 각각 16.2%, 29.7%, 34.3%, 56.5%가 되도록 성장시켰고, Ge 농도에 따른 기판의 특성을 비교하였다. Fig 1. 은 소자 제작 과정을 보여 주고 있다.

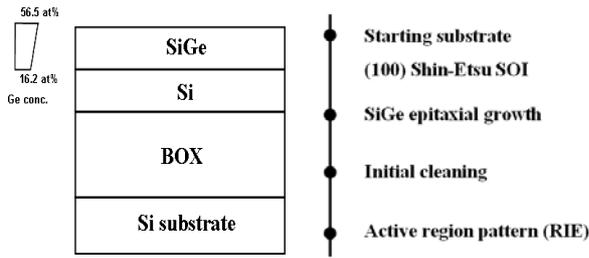


Fig 1. SGOI pseudo-MOSFET schematic diagram and fabrication

III. 결과 및 고찰

Fig 2. 는 Ge 농도에 따른 SGOI pseudo -MOSFET의 전기적 특성을 나타낸 그림이다. Fig 2.(a) 에서 Ge 농도가 증가할수록 누설전류가 증가하였으며, 문턱전압은 NMOSFET의 경우 Ge 농도가 증가함에 따라 3.82V 에서 7.07V 로 이

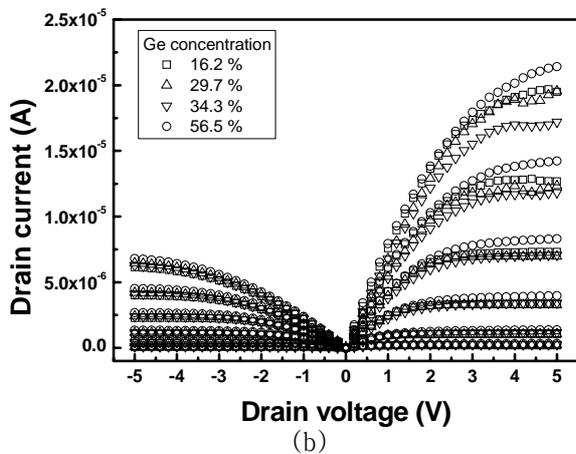
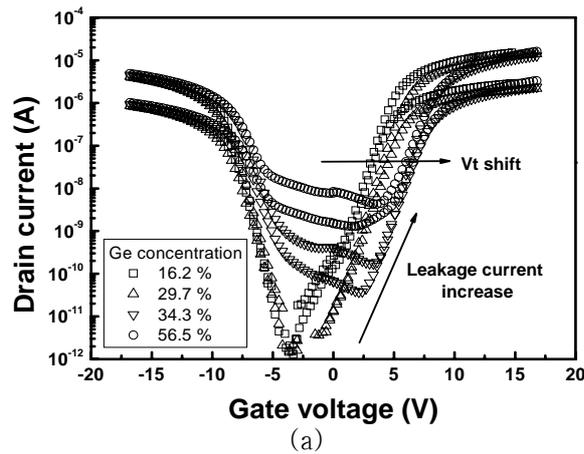


Fig 2. I-V characteristic of SGOI pseudo-MOSFET with different Ge concentrations

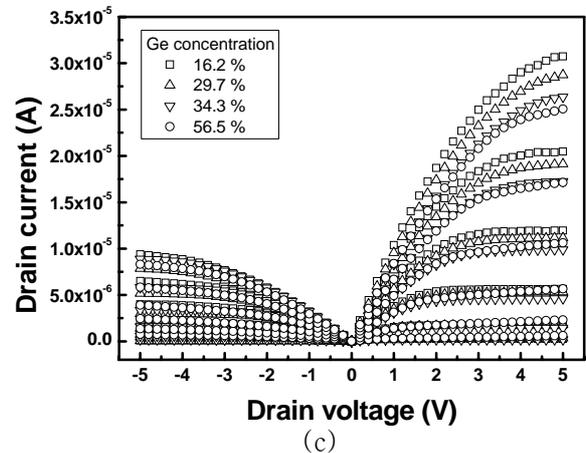
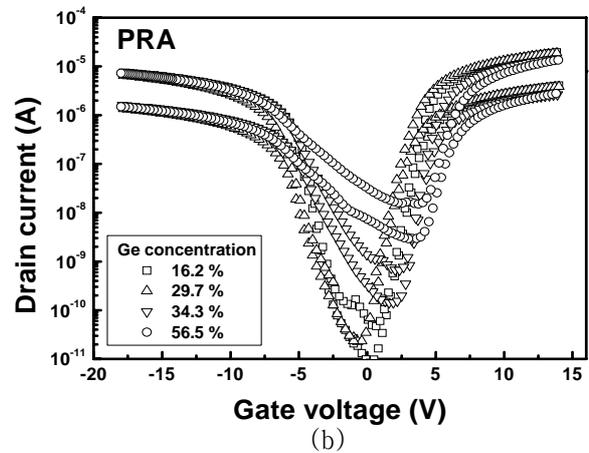
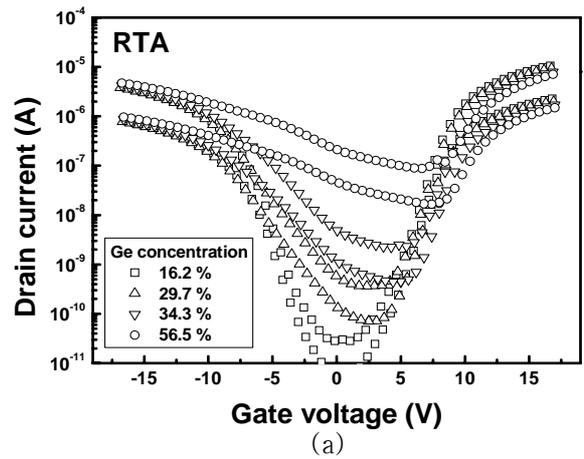


Fig 3. I-V characteristic of SGOI pseudo-MOSFET with different Ge concentration after (a) Rapid thermal anneal (RTA) and (b),(c) Post RTA anneal (PRA)

동하였고, PMOSFET의 경우도 $-7.61V$ 에서 $-6.82V$ 로 이동하는 특성을 보였다. 이는 SiGe을 성장 시켰을 때 발생하는 threading dislocation 등의 결함[6]과 Ge농도가 증가할수록 SiGe의 밴드갭이 좁아지기 때문이다[7]. Fig 2.(b) 에서

는 56.5% 일 때 가장 큰 드레인 전류 값을 가졌으며 Ge 농도가 낮을수록 비슷한 경향을 보였다. 이는 채널 내에 흐르는 전류뿐만 아니라 누설 전류 또한 드레인 전류 값에 영향을 주었기 때문이다.

Fig. 3는 열처리 후 SGOI pseudo-MOSFET의 전기적 특성을 나타내고 있다. 급속 열처리 공정은 850℃, 30초 동안 N₂/O₂ 분위기에서 실시하였고 후속 열처리 공정은 450℃, 30분 간 H₂(2%)/N₂ 분위기에서 실시하였다. 급속 열처리 공정시 haze 현상에 의한 실리콘 표면 손상의 방지를 위해 미량의 O₂ 를 첨가하여 공정을 실시하였고, 후속 열처리 공정시에는 Si 과 SiO₂ 사이의 계면준위를 제거해 주기 위해 H₂가 미량 함유된 가스를 이용하였다. Fig 3.(a)는 급속 열처리 공정 이후 전기적 특성을 나타낸 그림이다. 급속 열처리 공정 이후 매몰 산화층과 실리콘 층간의 열팽창 차이에 의한 스트레스가 계면 준위를 발생시켜서 소자의 특성이 열화 되었다. Fig 3.(b) 와 Fig 3.(c)는 후속 열처리 공정 이후 전기적 특성을 나타낸 그림이다. 후속 열처리 공정을 통하여 계면 간의 스트레스 완화와 포획준위를 소멸시킬 수 있었으며 급속 열처리 공정을 통해 열화된 전기적 특성은 초기 상태보다 더욱 향상되었다.

Fig 4. 는 Ge 농도에 따른 초기 상태와 후속 열처리 공정 이후 SGOI pseudo-MOSFET의 전계효과 이동도를 나타내는 그림이다. nMOSFET과 pMOSFET 모두 초기 상태보다 더 향상된 이동도 특성을 볼 수 있다. 그러나, pMOSFET의 경우 Ge농도가 29.7%에서 가장 낮은 이동도와 증가율을 보였고 nMOSFET의 경우 56.5%에서 가장 낮은 이동도와 증

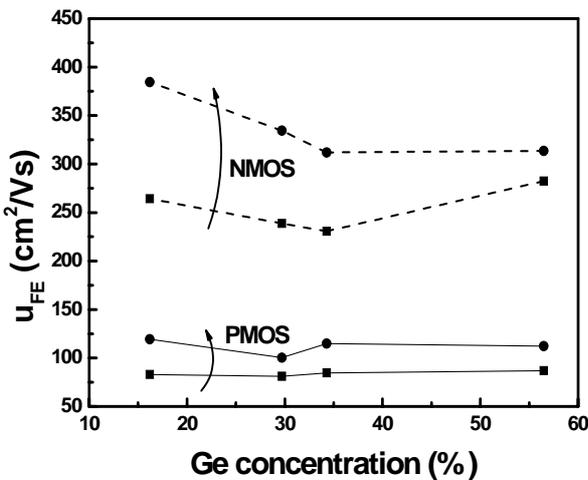


Fig 4. Field effect mobility for initial and PRA SGOI pseudo-MOSFET versus Ge concentrations

가율을 보였다. 이는 열처리 시 Ge 농도가 증가할수록 SiGe에서 Si으로 Ge의 확산이 증가하게 되며[8-9], 확산된 Ge에 의해 alloy scattering이 발생했기 때문이라고 생각된다 [10]. 위의 실험 결과로 보아 정공의 이동도는 Ge 농도가 29.7%, 전자의 이동도는 Ge농도가 56.5%에서 alloy scattering이 최대가 되는 것을 확인 할 수 있었다.

IV. 결 론

Pseudo-MOSFET을 이용하여 Ge농도에 따른 SGOI 기판의 특성을 평가 하였고, 또한 후속 열처리 공정 이후의 특성변화에 대하여 알아보았다. Ge농도가 증가 할수록 누설 전류가 증가하는 것을 확인할 수 있었고, 문턱전압은 양의 방향으로 이동하는 특성을 볼 수 있었다. 또한 후속 열처리 공정이후 누설전류는 큰 변화가 없었으나 향상된 출력특성과 전계효과 이동도를 가진다는 것을 확인 할 수 있었다.

참고문헌

- [1] S. I. Takagi, Solid-State Electronics **49**, 684 (2005).
- [2] T. Tezuka, Symposium on VLSI Technology Digest of Technical Papers, 146 (2006).
- [3] T. Mizuno, IEDM, 943, (1999).
- [4] S. Cristoloveanu and S. Williams, IEEE. Electron Devices **13**, 102 (1992).
- [5] W. J. Cho, Appl. Phys. Lett. **90**, 143509 (2007).
- [6] D. R. Black and J. C. Woicik, Appl. Phys. Lett. **88**, 224102 (2006).
- [7] T. H. SHIM, Jpn. J. Appl. Phys. **46**, 3324 (2007).
- [8] D. B. Aubertine and P. C. McIntyre, J. Appl. Phys. **97**, 013531 (2005).
- [9] G. Xia, M. Canonico, and J. L. Hoyt, Semicond. Sci. Technol. **22**, 55 (2007).
- [10] M. V. Fischetti and S. E. Laux, J. Appl. Phys. **80**, 15 (1996).

Evaluation of SGOI wafer with different concentrations of Ge using pseudo-MOSFET

Goon-ho Park¹, Jongwan Jung², Won-Ju Cho¹

¹*Department of Electronic Materials Engineering, Kwangwoon Univ., Seoul 139-701*

²*Department of Nano-Sci & Tech., Sejong Univ., Seoul 143-747*

(Received March 5 2008)

The electrical characteristic of SiGe-on-SOI (SGOI) wafer with different Ge concentration were evaluated by pseudo-MOSFET. Epitaxial SiGe layers was grown directly on top of SOI with Ge concentrations of 16.2, 29.7, 34.3 and 56.5 at.%. As Ge concentration increased, leakage current increased and threshold voltage shifted from 3 V to 7 V in nMOSFET, from -7 V to -6 V in pMOSFET. The interface states between buried oxide and top of Si was significantly increased by the rapid thermal annealing (RTA) process, and so the electrical characteristic of SGOI wafer degraded. On the other hand, additional post RTA annealing (PRA) showed that it was effective in decreasing the interface states generated by RTA processes and the electrical characteristic of SGOI wafer enhanced higher than initial state.

Keywords: SGOI, SiGe-on-SOI, compressive SiGe, Pseudo MOSFET

* [E-mail] chowj@kw.ac.kr