

NMOSFET의 Hot-Carrier 열화현상

백종무¹, 김영춘^{2*}, 조문택³

¹대원대학 전자정보통신과, ²공주대학교 기계자동차공학부, ³대원대학 전기전자계열

Hot-Carrier Degradation of NMOSFET

Jong-Mu Baek¹, Young-Choon Kim^{2*} and Moon-Taek Cho³

¹Dept. of Electronic Telecommunication Engineering, Daewon University College

²Division of Mechanical & Automotive Engineering, Kong Ju University

³Division of Electrical & Electronic Engineering, Daewon University College

요약 본 논문에서는 아날로그 회로에 사용되는 NMOSFET에 대한 Hot-Carrier 열화특성을 조사하였다. 여러 값을 갖는 게이트 전압으로 스트레스를 인가한 후, 소자의 파라미터 열화를 포화 영역에서 측정하였다. 스트레스 게이트 전압의 범위에 따라 계면 상태(interface state) 뿐 아니라 전자와 정공의 포획이 드레인 근처 게이트 산화막에서 확인되었다. 그리고 특히 낮은 게이트 전압의 포화영역에서는 정공의 포획이 많이 발생하였다. 이러한 전하들의 포획은 전달 컨덕턴스(g_m) 및 출력 컨덕턴스(g_{ds})의 열화의 원인이 된다. 아날로그 동작 범위의 소자에서 파라미터 열화는 소자의 채널 길이에 매우 민감하게 반응한다. 채널길이가 짧을수록 정공 포획이 채널 전도도에 미치는 영향이 증가하게 되어 열화가 증가되었다. 이와 같이 아날로그 동작 조건 및 아날로그 소자의 구조에 따라 g_m 및 g_{ds} 의 변화가 발생하므로 원하는 전압 이득($A_v=g_m/g_{ds}$)을 얻기 위해서는 회로 설계시 이러한 요소들에 대한 고려가 필요하다.

Abstract This study has provided some of the first experimental results of NMOSFET hot-carrier degradation for the analog circuit application. After hot-carrier stress under the whole range of gate voltage, the degradation of NMOSFET characteristics is measured in saturation region. In addition to interface states, the evidences of hole and electron traps are found near drain depending on the biased gate voltage, which is believed to be the cause for the variation of the transconductance(g_m) and the output conductance(g_{ds}). And it is found that hole trap is a dominant mechanism of device degradation in a low-gate voltage saturation region. The parameter degradation is sensitive to the channel length of devices. As the channel length is shortened, the influence of hole trap on the channel conductance is increased. Because the magnitude of g_m and g_{ds} are increased or decreased depending on analog operation conditions and analog device structures, careful transistor design including the level of the biased gate voltage and the channel length is therefore required for optimal voltage gain ($A_v=g_m/g_{ds}$) in analog circuit.

Key Words : Analog, Hot-carrier, Degradation

1. 서론

아날로그 회로에 사용되는 MOS(Metal oxide semiconductor)트랜지스터의 동작점은 디지털용 트랜지스터와 비교해 전류-전압 특성 곡선상에서 다른 곳에 존재하기 때문에 회로 설계 시 고려해야 할 두 종류의 트랜지스터의 주요 파라미터는 일치하지 않는다. 아날로그용

MOS 트랜지스터의 경우, 주로 낮은 게이트 전압의 포화 영역에서 동작하게 되며, 주요 파라미터로는 전달 컨덕턴스 및 드레인 출력 컨덕턴스, 정합 특성 등이 있다[1,2]. 우수한 정합특성을 유지하기 위해 일반적으로 채널 길이가 디지털 트랜지스터에 비해 매우 길게 설계되며, 이러한 채널 길이는 트랜지스터의 소신호(small signal) 특성들을 개선시키게 된다[3,4].

*교신저자 : 김영춘(yckim59@kongju.ac.kr)

접수일 09년 11월 02일

수정일 (1차 09년 12월 01일, 2차 09년 12월 15일)

게재확정일 09년 12월 16일

아날로그용 트랜지스터의 Hot-Carrier에 의한 특성 열화는 집적화된 NMOSFET의 Hot-Carrier 효과에 의해 기판전류와 문턱전압의 증가, 트랜스컨덕턴스 및 소자의 수명이 감소되는 심각한 문제점을 안고 있으며, 이러한 긴 채널로 인하여 집적도가 뛰어난 디지털용 트랜지스터에 비해 그 영향이 무시되어 왔다. 그러나 반도체 제조 공정의 빠른 발전으로 인하여 빠른 속도를 갖는 submicron 아날로그 소자의 개발이 필요하게 되었고[7], 이에 따라 소자 파라미터의 조그마한 변화가 아날로그 회로에 매우 큰 영향을 미치게 되었다[8,9]. 또한 아날로그 회로에서의 공급 전원의 크기는 디지털 회로에 비해 여전히 높은 편이다. 이러한 이유로 CMOS 아날로그 트랜지스터의 Hot-Carrier 열화에 대한 연구가 필요하게 되었다. 즉, 집적회로설계는 절환속도를 감소시키는 커패시턴스의 생성을 억제하며 유효 게이트 길이를 최대화하여 트랜지스터 동작시 게이트 전압에 의한 수직 전계 및 드레인 전압에 의한 수평전계의 Hot-Carrier 발생현상을 제어할 수 있어야 한다.

본 논문에서는 아날로그 동작 범위에서 NMOSFET의 Hot-Carrier 열화시켜 트랜지스터의 소 신호 특성 변화를 분석하였다. 아날로그 회로 내에는 여러 종류의 아날로그 전기 및 센서 신호가 외부로부터 입력 될 수 있으므로 여러 범위의 게이트 전압에서 Hot-Carrier 스트레스를 행하였다. 또한 아날로그 소자의 일반적인 동작 범위인 낮은 게이트 전압의 포화 영역에서 Hot-Carrier 스트레스도 행하였다.

2. 실험 방법

실험에 사용된 NMOSFET는 아날로그/디지털 혼합 공정에 의해 제조되었으며, 7nm의 게이트 산화막, surface-channel과 LDD (Lightly-Doped Drain) 구조를 갖는다. 측정에 사용된 소자들의 채널 폭은 10.0 μm 로 일정하였으며, 채널 길이는 0.6, 0.8, 2.0 및 10.0 μm 으로 그 길이를 변화시켜 채널 길이에 따른 특성 열화 경향을 조사하였다. Hot-Carrier 스트레스에 사용된 드레인 전압(V_{ds})은 포화 드레인 전류의 2배의 드레인 전류가 흐를 때의 드레인 전압을 선택하였다. 스트레스 게이트 전압(V_G)은 각 소자의 문턱 전압보다 50mV 또는 300mV 높은 전압 값을 선택하여 아날로그 범위에서 Hot-Carrier 스트레스를 행하였다. 그러나 스트레스 게이트 전압에 따른 소자의 열화 특성 조사에서는 게이트 전압을 6V 까지 증가시켜

각 게이트 전압에서 소자 특성을 비교하였다. 소자의 소신호 측정은 선형 영역의 경우, $V_G=V_t+300\text{mV}$, $V_{ds}=0.24\text{V}$, 그리고 포화 영역의 경우, $V_G=V_t+300\text{mV}$, $V_{ds}=3.04\text{V}$ 에서 각각 이루어졌다. 스트레스 및 측정 과정은 상온에서 이루어졌으며, 각 결과 값은 동일 웨이퍼 상에서 제조된 20개 소자에 대한 평균값이다.

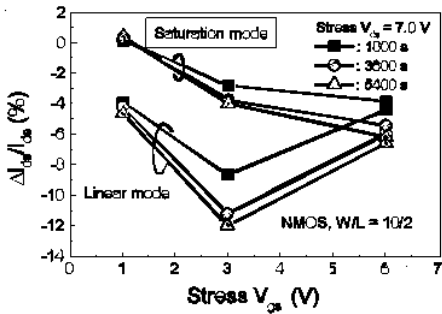
3. 실험 결과

NMOSFET의 Hot-Carrier 스트레스에 인가되는 게이트 전압(V_{gs})의 크기에 따라 NMOSFET의 열화 특성이 달라지게 된다. 그림 1은 스트레스 게이트 전압에 의존하는 선형 및 포화 영역에서 드레인 전류의 변화를 나타낸다.

이는 차동 증폭기나 전류 미러 등과 같은 아날로그 회로 설계 시 고려해야 할 트랜지스터의 전류 정합 특성을 의미하기도 한다. 선형 및 포화 영역에서 드레인 전류 변화에서 세 종류의 변화 영역이 발생하게 되는데 이는 각각 다른 열화 원인을 갖는다. 스트레스 게이트 전압이 낮은 경우 ($V_{gs}=1\text{V}$)에 드레인 전류의 변화가 적게 나타나고 있으며, 특히 포화 영역에서 측정된 드레인 전류는 Hot-Carrier 스트레스 동안 조금씩 증가하고 있는 경향을 보인다.

스트레스 게이트 전압이 3V($V_{gs}=V_{ds}/2$)인 범위에서 선형 및 포화 영역의 드레인 전류가 모두 감소하며, 특히 선형 영역에서는 가장 심한 열화 특성을 나타내고 있다. 높은 스트레스 게이트 전압 ($V_{gs}=V_{ds}=6\text{V}$)에서 드레인 전류의 감소율은 포화영역의 경우에는 계속 증가하고 있지만 선형 영역에서는 둔화되고 있다

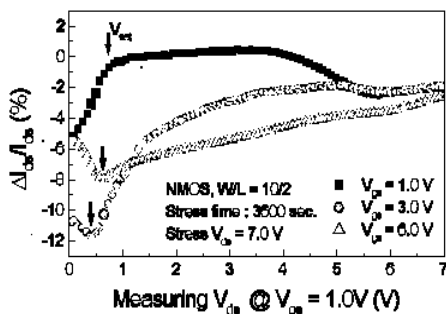
이러한 현상은 낮은 게이트 전압 스트레스 동안에는 정공의 포획, 게이트 전압이 $V_{gs}=V_{ds}/2$ 인 경우에는 역셉터 형태의 계면 상태의 형성 및 높은 게이트 전압 스트레스 동안에는 전자의 포획이 게이트 산화막내에 각각 발생하기 때문이다. 그림 1의 결과로부터 아날로그 동작 영역인 낮은 게이트 전압에서 스트레스를 행하면 정공의 포획 뿐 아니라 역셉터 형태의 계면 상태도 동시에 존재하고 있다고 판단된다.



[그림 1] 스트레스 전압에 의존하는 선형영역과 포화영역에서 드레인 전류변화

이러한 현상은 낮은 게이트 전압 스트레스 동안에는 정공의 포획, 게이트 전압이 $V_{gs}=V_{ds}/2$ 인 경우에는 역셉터 형태의 계면 상태의 형성 및 높은 게이트 전압 스트레스 동안에는 전자의 포획이 게이트 산화막내에 각각 발생하기 때문이다. 그림 1의 결과로부터 아날로그 동작 영역인 낮은 게이트 전압에서 스트레스를 행하면 정공의 포획 뿐 아니라 역셉터 형태의 계면 상태도 동시에 존재하고 있다고 판단된다.

포화 동작 영역에서 드레인 근처의 의사 페르미 준위(quasi-fermi level)는 전도대역으로부터 떨어져 있으므로 형성된 역셉터 형태의 계면 상태는 포화 동작 영역에서 대부분 비어 있게 되어 중성을 띠게된다. 이러한 이유로 포화 영역에서 중성인 역셉터 형태의 계면 상태보다는 양전하를 띤 정공의 영향으로 드레인 전류는 스트레스동안 증가하였으며, 선형 영역에서는 채널 전자에 의해 채워진 역셉터 형태의 계면 상태와 정공의 영향을 동시에 받게되어 드레인 전류가 스트레스동안 감소하는 경향을 보였다.

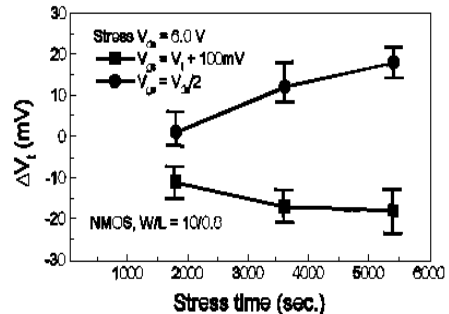


[그림 2] 전 범위의 드레인 전압에서 측정된 스트레스 게이트 전압에 의존하는 드레인 전류 변화

그림 2는 여러 범위의 게이트 전압에서 스트레스를 진행한 NMOSFET에 대해서 드레인 전압(V_{ds})에 따른 드레인 전류의 변화를 나타낸다.

그림 2는 여러 범위의 게이트 전압에서 스트레스를 진행한 NMOSFET에 대해서 드레인 전압(V_{ds})에 따른 드레인 전류의 변화를 나타낸다. 낮은 게이트 전압($V_{gs}=1V$)에서 스트레스를 행한 소자에서 포화 영역 드레인 전류가 증가하였다.

그림 2는 여러 범위의 게이트 전압에서 스트레스를 진행한 NMOSFET에 대해서 드레인 전압(V_{ds})에 따른 드레인 전류의 변화를 나타낸다. 낮은 게이트 전압($V_{gs}=1V$)에서 스트레스를 행한 소자에서 포화 영역 드레인 전류가 증가하였다. 각 결과 그림에서 화살표로 표시된 부분은 스트레스를 받은 후 이동한 핀치 오프(pinch-off) 전압을 표시한다. 드레인 근처의 게이트 산화막내에 양 전하가 포획되면 채널 전자의 생성이 용이해져 채널의 핀치 오프가 비교적 높은 게이트 전압에서 발생하게 될 것이다. 그림 2에서 4V 이상의 드레인 전압에서는 드레인 전류의 성분중 많은 양이 기관 전류에 의해 구성된다. 그러므로 소자의 파라미터는 기관 전류의 변화에 의존하게된다. 그러나 이 영역은 아날로그 소자의 동작범위가 아니므로 본 논문에서는 이 영역에 대한 열화 특성은 생략한다.

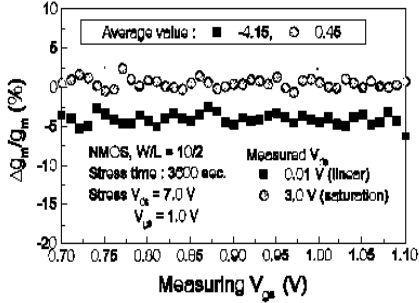


[그림 3] 스트레스 게이트 전압에 의존하는 문턱전압의 변화

그림 3은 Hot-Carrier 스트레스 진행에 따라 변화되는 문턱 전압을 나타낸다. 문턱 전압은 낮은 게이트 전압 스트레스 공정에서는 감소하였으며, 다른 조건의 스트레스에서는 증가함을 확인하였다. 이러한 결과들로부터 낮은 게이트 전압에서 스트레스 행한 후 정공이 게이트 산화막에 포획되었음을 확인 할 수 있다.

그림 4는 게이트 산화막내에 정공이 포획되어 있을 때 NMOSFET의 전달 컨덕턴스 변화를 나타낸다. 전달 컨덕

턴스는 선형영역에서 약 4.15% 감소하였으며, 포화영역에서 약 0.45% 증가하였다. 전달 컨덕턴스의 변화는 채널 내 전자의 이동도의 변화와 직접적인 관계가 있다.



[그림 4] 낮은 게이트 전압에서 스트레스를 행한 소자의 전달 컨덕턴스 변화

선형 및 포화 영역에서 전달 컨덕턴스의 변화($\Delta g_m/g_m$) 및 드레인 전류의 변화($\Delta I_{ds}/I_{ds}$)는 식 (1), (2), (3) 및 (4)로 각각 나타낼 수 있다.

$$\frac{\Delta g_m}{g_m} \Big|_{lin.} = \frac{\Delta \mu}{\mu} \tag{1}$$

$$\frac{\Delta g_m}{g_m} \Big|_{sat.} = \frac{\Delta \mu}{\mu} - \frac{\Delta Vt}{V_{gs} - Vt} \tag{2}$$

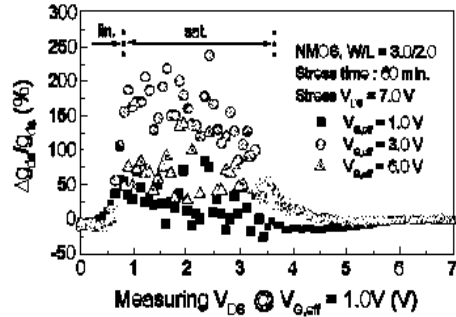
$$\frac{\Delta I_{ds}}{I_{ds}} \Big|_{lin.} = \frac{\Delta \mu}{\mu} - \frac{\Delta Vt}{(V_{gs} - Vt - V_{ds}/2)} \tag{3}$$

$$\frac{\Delta I_{ds}}{I_{ds}} \Big|_{sat.} = \frac{\Delta \mu}{\mu} - \frac{2\Delta Vt}{(V_{gs} - Vt)} \tag{4}$$

여기서 μ 는 채널내 전자의 이동도를 나타낸다. 그림 2에서 정공의 포획으로 인해 포화 영역 드레인 전류의 증가는 그림 4에서 측정된 전달 컨덕턴스 변화율과 식 (4)으로부터 구할 수 있다. 본 실험에서 측정된 문턱전압은 약 수 십 mV 범위에서 변화되기 때문에 식 (2)와 식 (4)의 두 번째 항은 첫 번째 항에 비해 그 값이 작게 나타난다. 그러므로 포화 영역 드레인 전류의 증가율과 전달 컨덕턴스의 증가율은 거의 비슷하게 나타났다.

스트레스가 진행된 소자에서 출력 컨덕턴스의 변화는 드레인 전류 및 전달 컨덕턴스의 경우와는 다르게 그 변화율($\Delta g_{ds}/g_{ds}$)이 매우 크게 나타난다.

그림 5는 스트레스 게이트 전압의 크기에 의존하는 출력 컨덕턴스의 변화를 측정 드레인 전압에 대해 나타냈다.



[그림 5] 인가되는 게이트 전압에 의존하는 출력 컨덕턴스의 변화

선형영역에서 측정된 출력 컨덕턴스는 낮은 게이트 전압($V_{gs}=1V$)에서 스트레스를 행한 소자에서 증가하는 반면, 높은 게이트 전압 ($V_{gs}=3V$ 또는 $V_{gs}=6V$)에서 스트레스를 행한 소자에서는 감소함을 보였다. 그러나 포화영역에서 측정된 출력 컨덕턴스는 낮은 게이트 전압($V_{gs}=1V$)에서 스트레스를 행한 소자에서 낮은 증가율을 보였다. 선형영역에서 출력 컨덕턴스는 채널 내 전자의 이동도의 변화 및 문턱전압 변화와 관련이 있다. 그리고 포화영역에서 출력 컨덕턴스의 변화는 드레인 전압 변화에 대한 전이 영역 길이의 변화를 고려함으로써 보다 쉽게 해석할 수 있다. 각 영역에서 출력 컨덕턴스의 변화를 식 (5)와 식 (6)에 나타냈다.

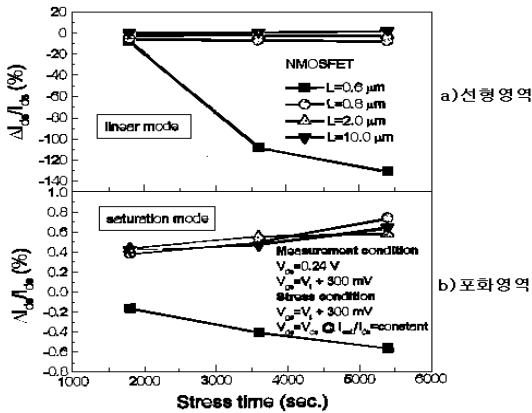
$$\frac{\Delta g_{ds}}{g_{ds}} \Big|_{lin.} = \frac{\Delta \mu}{\mu} - \frac{\Delta Vt}{(V_{gs} - Vt - V_{ds})} \tag{5}$$

$$\frac{\Delta g_{ds}}{g_{ds}} \Big|_{sat.} = \frac{I_{ds}}{I_{ds}} \frac{d\Delta L'/dV_{ds}}{d\Delta L'/dV_{ds}} - 1 \tag{6}$$

여기서 L'_{ds} 및 $\Delta L'$ 는 스트레스 후에 측정된 드레인 전류 및 드레인 근처의 전이영역 길이를 각각 나타낸다. 게이트 산화막에 정공이 포획되어 있을 때 포화 드레인 전류는 증가하지만 그 양은 매우 적음을 그림 2로부터 확인하였다. 그러므로 식 (6)으로부터 출력 컨덕턴스는 드레인 전압에 대한 드레인 근처의 전이영역 길이 변화율에 의존하게 된다. 그림 5의 결과로부터 게이트 산화막에 정공이나 전자가 포획되었을 때 ($V_{gs}=1V$ 또는 $V_{gs}=6V$ 스트레스 공정) 포화 영역에서 출력 컨덕턴스 변화가 비교적 나타났다. 드레인 근처의 게이트 산화막에 역셉터 형태의 계면 상태가 존재하면 드레인 전압의 크기에 따라 계면 상태가 쉽게 비워지거나 전자로 채워질 수 있어

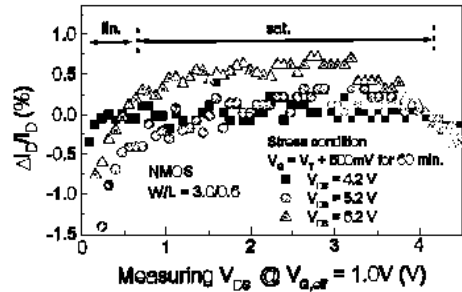
유효 채널의 길이가 변화되기 쉽다고 판단된다. 정공의 포획은 포화영역에서 발생하므로 드레인 근처의 전이 영역 길이(ΔL)와 관련이 있을 것으로 판단된다. 전이 영역 길이는 전이 영역에 인가되는 퍼텐셜(potential)에 비례한다.

그림 6(a) 및 6(b)는 여러 종류의 채널 길이를 갖는 소자를 동일한 열화 조건에서 스트레스를 인가한 후 측정된 선형 및 포화 영역의 드레인 전류 변화를 각각 나타낸다. 스트레스에 사용된 게이트 전압은 문턱 전압보다 300 mV 높게 유지하였고 드레인 전압은 캐리어 충돌 비율(impact rate)을 각 소자마다 동일하게 하기 위해 I_{sub}/I_{ds} 값이 일정한 전압으로 유지하였다. 그러므로 채널 길이가 짧을수록 스트레스 드레인 전압의 크기는 줄어들게 되고 포화 영역에서 전이 영역 길이(ΔL)도 짧아지게 된다. 채널 길이가 0.8 μm 이상인 경우는 선형 및 포화 영역에서 드레인 전류의 변화가 거의 동일하게 나타났다. 또한 정공의 포획을 포화 드레인 전류의 변화로부터 확인할 수 있다. 그러나 채널 길이가 0.6 μm 인 경우에는 정공의 포획 보다는 역셉터 형태의 계면 상태가 많이 발생되어 스트레스 후 선형 및 포화 드레인 전류가 모두 감소하고 있다. 이 결과로부터 정공이 포획되기 위해서는 전이 영역 길이(ΔL)가 임계값 이상을 유지해야한다고 판단된다.



[그림 6] 낮은 게이트 전압에서 스트레스를 행한 후 측정된 채널 길이에 의존하는 드레인 전류의 변화

그림 7에서 정공의 포획과 전이 영역 길이(ΔL)의 관계를 확인하기 위해 0.6 μm 의 채널을 갖는 소자를 여러 종류의 드레인 전압에서 스트레스 인가 한 후 드레인 전류 변화를 조사하였다.



[그림 7] 스트레스 드레인 전압에 의존하는 드레인 포화 전류의 변화

스트레스 드레인 전압이 증가할수록 포화 영역의 드레인 전류가 증가하고 있어 정공 포획의 증가를 확인할 수 있다. 즉, 전이 영역 길이(ΔL)가 길수록 정공의 포획이 많아짐을 알 수 있다. 그림 7의 결과에서 얻은 측정값으로 0.6 μm 채널 길이를 갖는 소자에 대한 전이 영역 길이(ΔL)를 식 (7)을 사용하여 계산할 수 있다.

$$I_{ds} | sat. = I_{ds} \frac{L}{L - \Delta L} \quad (7)$$

여기서 I_{ds} 는 채널의 핀치 오프 시 측정된 드레인 전류이다. 여러 드레인 전압에서 스트레스를 행한 소자에서 $\Delta L/L$ 의 값을 계산한 결과 전이 영역의 길이가 채널 길이의 약 20% 이상이 되도록 인가된 드레인 전압에서부터 정공의 포획이 활발하게 진행된다고 판단된다. 그러므로 아날로그 동작에서 발생할 수 있는 정공의 포획은 소자의 채널 길이와는 무관하고 드레인 근처의 전이 영역의 길이와 관련이 있으므로 낮은 스트레스 게이트 전압 하에서 스트레스 드레인 전압의 크기에 비례하여 그 양이 증가하게 된다.

4. 결론

아날로그 동작 범위에서 일어날 수 있는 NMOSFET의 Hot-Carrier 열화 특성을 스트레스 게이트 전압 및 소자의 채널 길이에 따라 조사하였다. 스트레스 게이트 전압이 1.0V 미만인 경우 드레인 근처의 게이트 산화막에 정공이 포획될 확률이 많아진다. 이러한 양 전하를 갖는 정공 포획은 드레인 전류를 증가시켜 전달 컨덕턴스의 증가 및 출력 컨덕턴스의 감소의 결과를 나타냈다. 소자의 채널 길이가 짧아질수록 포획된 정공이 채널 전자의 이동

도에 미치는 영향이 커지게 된다. 그러므로 채널 길이가 짧아질수록 열화 특성이 많이 나타났으며, 본 실험에서는 채널 길이가 약 0.8 μm 미만인 소자에서 열화 현상이 뚜렷하게 나타나므로 이들 소자에 종래구조의 문턱전압조절의 효과를 유지하면서 소스, 드드레인 영역을 형성하거나 혹은 트렌티구조를 활용한 매우 미세한 구조의 게이트 형성기술을 통해 유효게이트 길이를 최대화하는 구조의 연구가 필요할 것으로 사료된다.

참고문헌

[1] R. Thewes, C. Linnenbank, U. Kollmer, S. Burges, U. Schaper, R. Brederlow, W. Weber, "Mismatch of MOSFET small signal parameters under analog operation," *IEEE Electron Device Lett.*, vol. 21, pp.552-553, 2000.

[2] R. Thewes, M. Brox, K. F. Goser, and W. Weber, "Hot-carrier degradation of p-MOSFETs under analog operation," *IEEE Trans. Electron Devices*, vol. 44, pp. 607-617, 1997.

[3] J. E. Jung, K. N. Quader, C. G. Sodini, P. K. Ko, and C. Hu, "The effect of hot-electron degradation on analog MOSFET performance," in *Int. Electron Devices Meet Tech. Dig.*, pp. 553-556, 1990.

[4] V. H. Chan and J. E. Chung, "The impact of NMOSFET hot-carrier degradation on CMOS analog subcircuit performance," *IEEE J. Solid-State Circuits*, vol. 30, pp. 644-649, 1995.

[5] M. Yotsuyan, T. Etoh, and K. Hirata, "A 10-b 50 MHz pipeline CMOS A/D converter with S/H," *IEEE J. Solid-State Circuits*, vol. 28, no. 3, pp. 292-300, Mar. 1993.

[6] J. Chung, K. Quader, C. Sodini, P. Ko, and C. Hu, "The effects of hot electron degradation on analog MOSFET performance," in *Int. Electron Devices Meet. Tech. Dig.*, pp. 553 - 556, 1990.

[7] B. Stadlober, "About long-term effects of hot-carrier stress on n-MOSFETS," *Microelectronics Reliability*, vol. 40, pp. 1485-1490, 2000.

[8] B. S. Doyle, M. Bourcier, C. Bergonzoni, R. Benecchi, A. Bravis, K.R. Mistry, and A. Boudou, "The generation and characterization of electron and hole traps created by hole injection during low gate voltage hot-carrier stressing of n-MOS transistors," *IEEE Trans. Electron Devices*, vol. 37, no.8, pp. 1869-1876, 1990.

[9] Y. P. Tsividis, Ed., Operation and Modeling of the MOS

Transistor, New York: McGraw-Hill, 1987.

백종무(Jong-Mu Baek)

[정회원]



- 1992년 2월 : 경북대학교 공과대학원 전자공학과(공학 석사)
- 2002년 6월 : 경북대학교 공과대학원 전자공학과(공학 박사)
- 1995년 3월 ~ 현재 : 대원대학 전자정보통신과 부교수

<관심분야>

반도체소자, 디스플레이, 대체에너지

김영춘(Young-Choon Kim)

[정회원]



- 1987년 2월 : 대전공업대학교 전기공학과 (공학사)
- 1989년 8월 : 명지대학교 전기공학과 (공학석사)
- 1997년 2월 : 명지대학교 전기공학과(공학박사)
- 2006년 3월 ~ 현재 : 공주대학교 기계자동차 교수

<관심분야>

전기자동차전력변환, 전장제어, 하이브리드자동차

조문택(Moon-Taek Cho)

[정회원]



- 1988년 2월 : 명지대학교 전기공학과 (공학사)
- 1990년 2월 : 명지대학교 전기공학과 (공학석사)
- 1998년 2월 : 명지대학교 전기공학과(공학박사)
- 2006년 3월 ~ 현재 : 대원과학 대학 전기전자과 부교수

<관심분야>

전력변환장치, 대체에너지, 철도차량, 전기자동차