

# 자기바이어스 트랜스컨덕터를 이용한 RFID 리더용 CMOS 저전압 필터

정택원<sup>1</sup>, 방준호<sup>1\*</sup>  
<sup>1</sup>전북대학교 응용시스템공학부

## CMOS Low-voltage Filter For RFID Reader Using A Self-biased Transconductor

Taegwon Jeong<sup>1</sup> and Junho Bang<sup>1\*</sup>

<sup>1</sup>Division of Applied System Engineering, Chonbuk National University

**요 약** RFID Reader IC에 응용하기 위한 저전압 특성의 5차 일립틱 CMOS Gm-C 필터를 설계하였다. 설계된 필터는 CMOS 자기바이어스 차동 트랜스컨덕터를 설계하여 구성하였으며 차동 트랜스컨덕터는 기존의 자기 바이어스 차동증폭기의 이득특성을 개선하기 위하여 병렬형으로 구성되었다. 설계된 필터는 RFID 리더용 저전압 필터 설계사양에 따라 1.8V의 저전압으로 동작이 가능하도록 설계되었다. 1.8V, 0.18 $\mu$ m CMOS 공정 파라미터를 사용하여 HSPICE 시뮬레이션 결과, 설계된 5차 일립틱 저역 필터가 설계사양인 1.35MHz의 차단주파수를 만족함을 확인하였다.

**Abstract** This paper describes the design of a 5th order Elliptic CMOS Gm-C low-voltage filter for the RFID reader IC. The designed filter is composed of CMOS differential transconductors by parallel gain circuits to improve the gain of the conventional self-biased differential amplifier. The filter is designed to operate in low-voltage 1.8V to meet the specification of the RFID reader filter. The results of HSPICE simulation using 1.8V-0.18 $\mu$ m CMOS processing parameter showed that the designed 5th order Elliptic low-pass filter satisfied the cutoff frequency of 1.35MHz given by the design specification.

**Key Words** : Gm-C filter, Transconductor, Low-pass filter, Continuous-time filter, RFID reader

### 1. 서론

RFID 기술은 기존의 바코드를 대체하여 물품관리를 네트워크화 및 지능화함으로써 유통 및 물품 관리뿐만 아니라 보안, 안전, 환경 관리 등에 혁신을 선도하면서 거대한 새로운 시장을 형성할 것으로 예측되고 있으며 최근에는 RFID와 이동통신이 결합한 모바일 RFID 관련 분야에 대한 연구도 매우 활발하게 진행되고 있다[1]. RFID 시스템 구성은 기본적으로 사물의 정보를 가지고 있는 태그(Tag)와 태그를 판독 및 해독하는 리더기(Reader), 그리고 리더로부터 받은 태그의 정보를 처리하는 호스트 컴퓨터 및 네트워크, 응용 프로그램으로 구성된다. RFID 태그와 리더는 안테나를 통하여 전파를 이용

하여 데이터를 주고받는 통신을 수행하며 RFID 태그 안에 내장된 IC 칩이 기동하여 칩 안의 정보를 신호화하여 태그 및 안테나로 신호를 발신한다 또한 리더는 태그로부터 발신된 정보신호를 안테나로 수신하여 유무선 통신 방식에 의해 서버로 전달한다. 모바일 RFID를 비롯한 대부분 RFID 리더 및 트랜스폰더 들은 휴대용 부품이기 때문에 이들을 구성하고 있는 IC 부품들을 저전압 및 저전력으로 설계하는 것이 매우 중요하다.

본 논문에서는 모바일 RFID 리더용 IC에 사용되는 능동필터 중에서 차단주파수 1.3MHz~1.5MHz 저역 필터 집적회로[2]를 저전압 구조로 설계하였다. 필터를 집적회로로 구현하기 위한 능동필터의 설계 방법으로 자이레이터 합성법을 활용하였으며 이때 필요한 트랜스컨

\*교신저자 : 방준호(jhbang@chonbuk.ac.kr)

접수일 09년 06월 04일

수정일 (1차 09년 06월 30일, 2차 09년 07월 09일)

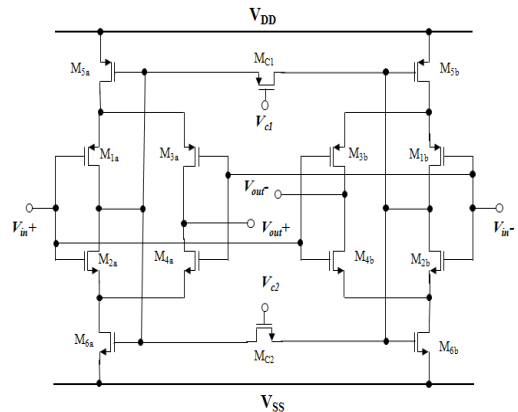
게재확정일 09년 07월 22일

덕터는 저전압 동작에 유리한 자기바이어스 트랜스컨덕터를 이용하였다. 참고문헌[3]은 본 연구팀이 수행한 CMOS 자기 바이어스 차동증폭기의 특성을 개선에 관한 내용인데 이를 바탕으로 하여 본 연구팀이 제안한 개선된 구조의 CMOS 자기 바이어스 구조의 트랜스컨덕터를 활용하여 저전압 필터를 설계하고자 하였다. 2장에서는 CMOS 자기 바이어스 차동증폭기를 트랜스컨덕터로써 설계하여 필터 설계에 활용될 수 있도록 저전압 및 고속 특성의 장점을 유지하면서 이득을 증가시키고 동시에 주파수 특성도 개선할 수 있는 병렬연결법을 보였고 소신호 등가회로 분석을 수행하였다. 3장에서는 본 논문에서 목적으로 하였던 RFID용 저전압 필터설계에 관하여 나타내었다. CMOS 1.8V 0.8 $\mu$ m 공정파라미터를 이용하여 HSPICE로 시뮬레이션 하였으며 4장에 결론을 지었다.

## 2. 트랜스컨덕터 설계

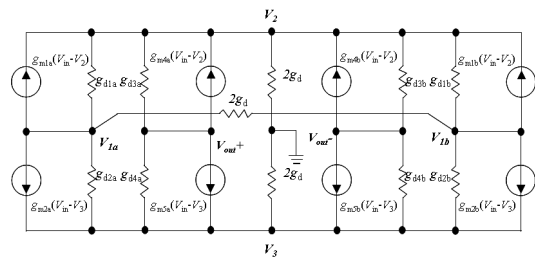
일반적으로 증폭회로의 이득증가 방법으로는 이득 단을 중속으로 연결하는 중속연결법[4]와 캐스코드 구조를 하는 캐스코드 연결법[5]이 있다. 이득단 중속연결법은 고이득을 얻어 낼 수 있는 방법이지만 2개 이상의 고이득단에서 발생하는 극점으로 인하여 주파수 특성이 급격히 나빠지게 되며 동시에 위상특성도 나빠져 이에 대한 보상회로를 필요로 하는 단점이 있다. 또한 캐스코드 연결법은 차동증폭기에 MOS등의 단위 소자를 쌓아 올려 출력 저항( $R_o$ )을 증가시킴으로써 이득( $A_v = g_m \cdot R_o$ )값을 증가시킬 수 있지만 추가된 소자들로 인하여 공급전압을 증가시켜야 하므로 저전압 회로에 사용하기에는 매우 불리하다. 이러한 관점에서 본 논문에서는 CMOS 자기바이어스 트랜스컨덕터의 이득을 증가시키기 위하여 병렬연결 방법을 사용하여 설계하였다. 본 논문에서 설계한 CMOS 자기바이어스 트랜스컨덕터를 그림 1에 나타내었다. 이 회로는 참고문헌[6]의 CMOS 자기 바이어스 인버터형 차동증폭기의 이득 및 주파수 특성을 개선하기 위하여 병렬 연결하여 완성시킨 구조이다. 이에 대한 선행 연구 활동으로 본 연구팀에서 병렬연결방법을 통해 차동증폭기의 특성을 개선하여 발표한 바 있으나 이번 연구를 통해서서는 기 발표된 증폭 회로의 구조를 필터 설계에 활용하기 위하여 트랜스컨덕터로 설계한 것이다. 설계된 그림 1의 회로는 좌우 대칭으로 구성되었는데 M1a~M6a의 MOS로 구성된 좌측의 증폭기와 M1b~M6b의 MOS로 구성된 우측의 증폭기이며 또한 이들 증폭기들의 입출력은 서로 교차 연결하였으며 자기 바이어스 MOS들을 서로 MC1과 MC2로 연결하였다. 대칭으로 구성된 a,

b 회로들의 MOS들은 각각 같은 크기로 설계하였고 각 부분의 M1에서 M4까지는 포화영역에서 동작하는 반면 M5와 M6은 선형영역( $V_{DS} < V_{GS} - V_{TH}$ )에서 동작하도록 하였다. 이러한 동작영역으로 인하여 M5와 M6의 드레인-소오스 전압  $V_{DS5}$ ,  $V_{DS6}$ 이 각각 매우 적은 값으로 설정될 수 있기 때문에 노드 ㉔와 ㉕의 전압 레벨은 각각  $V_{DD}$ 와  $V_{SS}$ 의 전압에 근접하여 있다. 그러므로 전체 회로에 필요한 공급전압( $V_{DD} - V_{SS}$ )은  $V_{㉔} - V_{㉕}$  값과 같으며 이 전압은 M1과 M2 및 M3과 M4를 포화영역으로 동작시키며  $2V_{DSAT} + V_{Signal}$ 값으로 설정될 수 있다. 이러한 특성에 의하여 설계된 트랜스컨덕터가 1V대역의 저전압 동작이 가능한 회로임을 알 수 있다.



[그림 1] 설계된 CMOS 자기바이어스 트랜스컨덕터

설계된 트랜스컨덕터의 이득 특성은 그림 2와 같이 소신호 등가회로를 이용하여 분석될 수 있다.



[그림 2] 트랜스컨덕터 전체회로의 소신호 등가회로

이 회로는 좌우 완전대칭의 병렬형 구조이기 때문에 소신호 등가회로를 구성할 때 두개를 병렬로 구성할 수 있으며 두 회로가 공통 연결 되는 부분은 전압  $V_2$ 와  $V_3$ 의 사이인  $2g_d$ 가 직렬 연결된 부분이다. 이 회로를 해석한 전압이득 결과를 식 (1)과 (2)에 나타내었다.

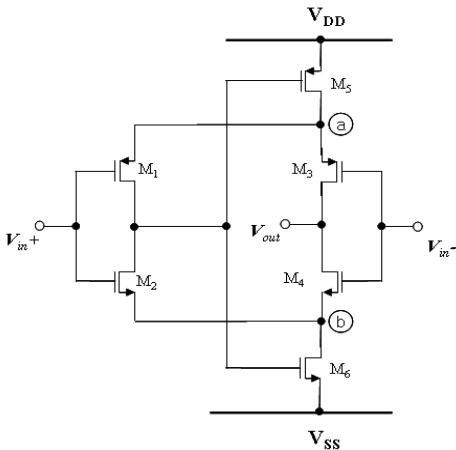
$$A_{dm1} \cong \frac{v_{out}^+}{v_{in1} - v_{in2}} \cong \frac{(g_{m1a} + g_{m2a})}{(g_{d3a} + g_{d4a})} \quad (1)$$

$$A_{dm2} \cong \frac{v_{out}^-}{v_{in2} - v_{in1}} \cong \frac{(g_{m1b} + g_{m2b})}{(g_{d3b} + g_{d4b})} \quad (2)$$

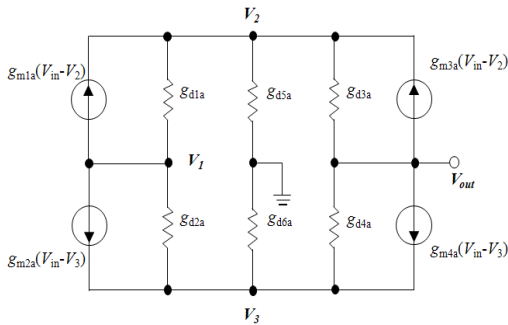
또한 식(1)과 (2)에 의하여 차동입력에 대한 차동출력이 식(3)과 같이 얻어진다.

$$A_{dm} \cong \frac{v_{out}^+ - v_{out}^-}{v_{in1} - v_{in2}} \cong \frac{2(g_{m1} + g_{m2})}{(g_{d3} + g_{d4})} \quad (3)$$

여기서 기존의 트랜스컨덕턴타의 특성을 비교하기 위하여 그림 3에 참고문헌 [6]의 CMOS 자기바이어스 트랜스컨덕터 및 소신호 등가회로를 보였다.



(a) 회로구조



(b) 소신호 등가회로

[그림 3] 기존의 CMOS 바이어스 트랜스컨덕터

이 회로에서 M1, M2와 M3, M4는 각각 같은 크기를 가지고 대칭적으로 구성되어 있으므로 트랜스컨덕턴스 또한  $g_{m1} \cong g_{m3}$ ,  $g_{m2} \cong g_{m4}$ 로써 같은 크기를 가진다. 이때 단자 전압  $v_2$ 와  $v_3$ 을 같은 크기로 설계하게 되면 식(4)를 얻는다.

$$i_{d1} + i_{d2} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_3) + g_{m2}(v_{in2} - v_3) + g_{m1}(v_{in2} - v_3) \cong 0 \quad (4)$$

$$\text{여기서 } v_3 \cong \frac{v_{in1} + v_{in2}}{2},$$

그러므로  $i_{d1}$ 은 식(5)와 같다.

$$i_{d1} \cong (g_{m1} + g_{m2})v_{in1} - (g_{m1} + g_{m2})v_3 \cong (g_{m1} + g_{m2})v_{in1} - (g_{m1} + g_{m2})(v_{in1} + v_{in2})/2 \cong \frac{(g_{m1} + g_{m2})}{2}(v_{in1} - v_{in2}) \cong -i_{d2} \quad (5)$$

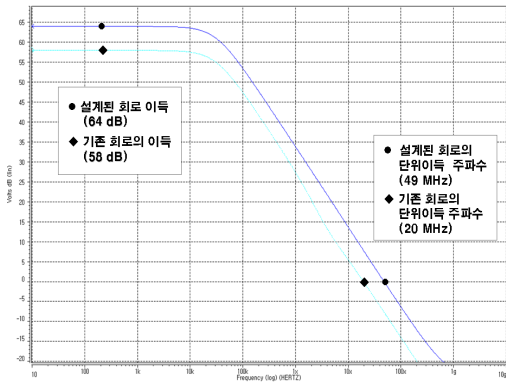
이때 출력저항은 M3과 M4의 드레인 저항으로 구성되므로 출력전압은 식(6)과 같다.

$$v_{out} \cong \frac{2 i_{d1}}{(g_{d3} + g_{d4})} \cong \frac{(g_{m1} + g_{m2})(v_{in1} - v_{in2})}{(g_{d3} + g_{d4})} \quad (6)$$

결과적으로 전압이득은 식 (7)과 같이 얻어진다.

$$A_{dm} \cong \frac{v_{out}}{v_{in1} - v_{in2}} \cong \frac{(g_{m1} + g_{m2})}{(g_{d3} + g_{d4})} \quad (7)$$

이상과 같은 결과를 살펴 볼 때 제안된 회로의 결과식인 식(3)이 기존 회로의 결과식 (7)에 비하여 그 이득이 2배의 크기를 가질 수 있음을 보여 주고 있다. 이 결과를 표준 0.18 $\mu$ m CMOS 공정 파라메타를 이용하여 HSPICE 시뮬레이션을 통하여 확인해 본 결과 그림 4와 같은 특성을 얻을 수 있었다. 그림 4에서 (a)의 경우 기존의 CMOS 자기바이어스 회로의 이득이 58dB에 비해 제안된 (b)의 병렬연결형 CMOS 자기바이어스 트랜스컨덕터의 경우, 64dB로써 거의 2배의 크기(6dB) 만큼의 이득이 증가되었음을 확인 할 수 있었다. 또한 주파수 특성에 있어서도 제안된 회로의 단위이득 주파수 값이 49MHz로써 기존 회로의 20MHz에서 29MHz로 주파수 특성도 증가할 수 있음을 확인하였다.



[그림 4] 이득특성

제안된 병렬연결형 CMOS 자기바이어스 트랜스컨덕터와 기존의 자기바이어스 트랜스컨덕터의 특성을 비교하여 표 1에 나타내었다.

[표 1] 설계된 CMOS 자기바이어스 트랜스컨덕터의 특성 비교

설계 파라미터	기존의 트랜스컨덕터[6]	개선된 트랜스컨덕터
공급전압 및 공정파라미터	1.8V, 0.18 $\mu$ m	1.8V, 0.18 $\mu$ m
단위이득 주파수	20 MHz	49 MHz
개루프 이득	58 dB	64 dB
위상마진	60°	93°
Tr갯수	6개	12개
소비전력	0.08 mW	0.16 mW

이상과 같은 결과를 통하여 0.18 $\mu$ m CMOS 공정 파라메타를 이용하고 1.8V의 같은 공급전압과 1pF의 같은 부하조건하에서 제안된 병렬연결 방법에 의하여 트랜스컨덕터의 이득 및 주파수 그리고 위상 특성을 모두 개선할 수 있음을 확인할 수 있었다.

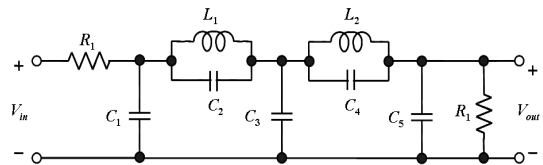
### 3. RFID 저역통과필터 설계

설계된 트랜스컨덕터를 이용하여 RFID 리더용 저역 통과 필터를 설계하였다. 필터 설계 사양은 참고문헌 [2]의 모바일 RFID 리더 IC용으로써 1.3~1.5MHz의 차단주파수를 가지며 저지대역에서의 감쇄도는 2.5MHz에서 50dB이상이며 그 외 필터의 설계사양을 표 2에 정리하였다.

[표 2] 필터의 설계 사양

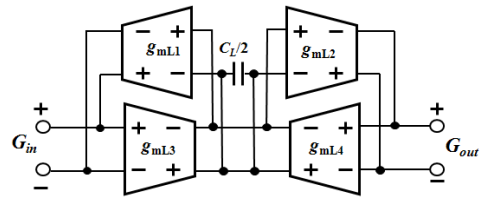
설계 파라미터	설계방법 및 목표 값
필터함수	5차 Elliptics
수동회로망	제자형 복중단 LC 회로망
차단주파수	1.3~1.5MHz (Tuning가능)
통과대역 Ripple	1dB
저지대역 감쇄도	2.5MHz에서 50dB이상
전원공급전압	3.3V
소비전력	3mW이하

필터 설계의 첫 단계인 수동필터 구성은 낮은 감도 특성을 유지할 수 있는 제자형 복중단 LC회로를 이용하여 그림 5와 같이 수동 복중단 제자형 타원 필터로 설계하였다.



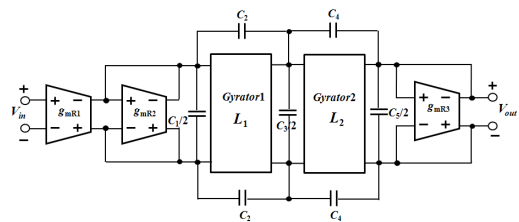
[그림 5] 5차 수동 복중단 제자형 타원 필터

다음은 수동필터를 능동필터로 변환하는 방법으로는 설계가 비교적 간단하면서도 정확한 능동필터의 특성 값을 얻어내기 유리한 자이레이터 직접 변환법[9]을 이용하였다. 그림 6은 자이레이터 회로를 보여 주고 있는데 수동필터의 'L'이 4개의 트랜스컨덕터로 이루어진 능동 필터 블록으로 변환된다.



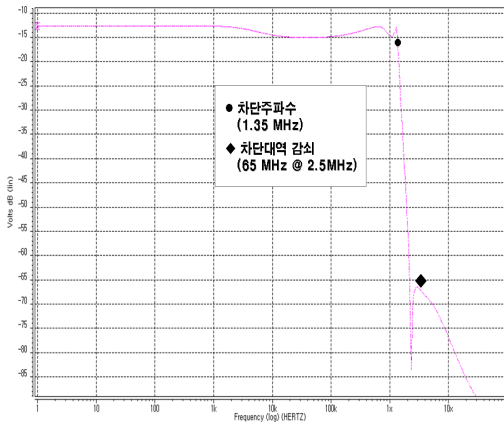
[그림 6] 수동소자 L를 모의한 자이레이터

필터 설계의 마지막 단계로써 자이레이터에 의하여 능동으로 변환하여 설계한 5차 Gm-C 능동 타원필터를 그림 7에 나타내었다.



[그림 7] 설계된 5차 Gm-C 능동 타원 필터

설계된 5차 Gm-C 능동 타원필터의 주파수 특성분석을 HSPICE를 활용하여 수행하였으며 그 결과를 그림 8에 나타내었다.



[그림 8] 설계된 5차 Gm-C 능동필터의 AC 특성

통과대역에서는 5차 타원필터의 특성에 맞는 감쇠진동파장(Ripple)을 얻을 수 있었으며 차단주파수는 1.35MHz로써 표 2의 설계사양에 만족하는 특성을 얻을 수 있었다. 또한 저지대역의 감쇠에 있어서도 2.5MHz에서 65dB이상 값을 가짐으로써 설계사양을 만족하였다. 그러나 필터의 통과대역의 이득감쇠가 6dB보다 높은 12dB로 나타났으나 이것은 필요시 이득 보상회로를 첨가하여 보상할 수 있다. 전체 소비전력에 대한시뮬레이션 결과는 목표로 했던 설계사양에 비하여 더 우수한 저소비전력 특성인 1.9mW를 얻을 수 있었다. 이상과 같이 얻어진 설계된 필터의 특성을 표 3에 정리하였다.

[표 3] 설계된 5차 Gm-C 능동필터의 특성 결과

파라메터	목표 값	결과 값
차단주파수	1.3~1.5MHz	1.35MHz
통과대역 Ripple 특성	5차 타원함수특성	5차 타원함수의 리플값
통과대역 감쇄도	-6dB(복종단특성)	-12dB (이득조정이 가능)
저지대역 감쇄도	2.5MHz에서 50dB	2.5MHz에서 65dB
소비전력	3 mW이하	0.9 mW

#### 4. 결론

RFID 리더용 IC에 활용하기 위하여 개선된 구조의 트

랜스컨덕터를 이용하여 저전압 필터를 설계하였다. 개선된 CMOS 자기 바이어스 트랜스컨덕터는 소신호등가회로 분석 및 HSPICE 시뮬레이션 결과 이득특성 및 주파수 특성이 개선되었음이 확인되었다. 본 논문에서는 개선된 특성을 갖는 트랜스컨덕터를 이용하여 RFID 리더용 저전압 필터를 설계하였다. 5차 타원함수를 이용하여 수동필터를 설계하였고 자이레이터 변환법에 의하여 능동필터를 구성하였다. 시뮬레이션 결과, 차단주파수가 1.35MHz, 저지대역 감쇠가 2.5MHz에서 65dB이상 값을 가짐으로써 설계사양을 만족하였고, 전체 소비전력 특성도 목표로 했던 설계사양에 비하여 더 우수한 0.9mW의 저소비전력 특성을 얻을 수 있었다. 이와 같은 결과를 바탕으로 본 논문에서 설계된 5차 Gm-C 능동필터가 RFID의 리더용 저전압 지역필터로써 사용될 수 있음을 확인하였다.

#### 참고문헌

- [1] 유비쿼터스 컴퓨팅의 핵심 RFID Handbook, Klaus Finkenzeller 2002. 이근호외 3인 역, 2006.
- [2] P.B. Khannur, et all, "An 860 to 960MHz RFID Reader IC in CMOS", IEEE Radio Frequency Integrated Circuits Symposium, 2007.
- [3] J. H. Bang "The Gain Enhancement of 1.8V CMOS Self-bias High-speed Differential Amplifier by the Parallel Connection Method." Trans. KIEE. Vol. 57, No. 10, OCT, 2008, pp. 1888-1892.
- [4] Low-Voltage CMOS Current Feedback Operational Amplifier and Its Application Soliman A. Mahmoud, Ahmed H. Madian, and Ahmed M. Soliman, *ETRI Journal*, vol.29, no.2, pp.212-218, Apr. 2007.
- [5] P. Mandal and V. Visvanathan, "A self-biased high performance folded cascode Op-Amp", IEEE 10th International Conference on VLSI Design, pp.429-434, Jan., 1997.
- [6] Bazes, M. "Two novel fully complementary self-biased CMOS differential amplifier." *IEEE J. Solid-State Circuits* 26, pp. 165-168, February 1991.
- [7] S.I. Cho, J. H. Bang, and D. Y. Kim, "Design of a New High Speed Amplifier Circuit for Analog Subsystems," Anal. Int. Circuits Signal Processing, vol. 33, pp. 57-63. 2002.
- [8] R. Mita, G. Palumbo, and S. Pennisi, "Low-Voltage High-Drive CMOS Current Feedback Op-Amp," *IEEE Trans. Circuit Syst.-II*, vol. 52, pp. 317-321, 2005.

- [9] B. Guthrie, T. Sayers, A. Spencer, J. "A CMOS Gyator Low-IF Filter for a Dual-Mode Bluetooth/ZigBee Transceiver", Custom Integrated Circuits Conference, pp.49-52, 2004.

---

**정택원**(Taegwon Jeong)

[정회원]



- 1981년 2월 : 서울대학교 대학원 전기공학과 (공학석사)
- 1986년 8월 ~ 1991년 8월 : Univ. of Florida Dept of EE (Ph.D)
- 1983년 8월 ~ 1998년 8월 : ETRI 책임연구원
- 1998년 9월 ~ 현재 : 전북대학교 응용시스템 공학부 교수

<관심분야>

정보통신, 이동통신

---

**방준호**(Junho Bang)

[정회원]



- 1991년 2월 : 전북대학교 대학원 전기공학과 (공학석사)
- 1996년 2월 : 전북대학교 대학원 전기공학과 (공학박사)
- 1997년 6월 ~ 1998년 3월 : LG 반도체 기술연구소 선임연구원
- 1998년 3월 ~ 현재 : 전북대학교 응용시스템공학부 교수

<관심분야>

아날로그 집적회로 설계, 통신용 필터 설계