

## 실리콘 스핀트로닉스

민병철\*

한국과학기술연구원, 서울시 성북구 화랑로 14길 5, 136-791

(2011년 4월 8일 받음, 2011년 4월 13일 최종수정본 받음, 2011년 4월 14일 게재확정)

반도체 스핀트로닉스는 자성체와 반도체를 결합하여 반도체 내에서의 전자 스핀을 이용하는 새로운 형태의 자성체-반도체 융합기술이며, 스핀 트랜지스터는 반도체 스핀트로닉스의 대표적인 소자이다. 이 소자를 실현하면, 반도체 내에 전자 스핀을 주입, 제어, 검출함으로써, 한 소자 내에서 정보처리와 정보저장을 동시에 수행할 수 있을 것으로 기대된다. 특히, 반도체 산업의 주축 물질인 실리콘을 이용하여 스핀 트랜지스터를 실현한다면, 이는 정보 산업에 중대한 영향을 미칠 것으로 예상된다. 이 글에서는 최근 실리콘 스핀트로닉스 분야에서의 주요한 진전을 소개하고, 앞으로의 기술적 과제에 대하여 간단히 기술하고자 한다.

**주제어** : 반도체 스핀트로닉스, 스핀 트랜지스터, 실리콘, 스핀 주입

### I. 서 론

반도체 정보처리 소자와 자기 정보저장 소자는 서로 독립된 기술로서 각자의 위치에서 눈부신 발전을 거듭해 왔고, 훨씬 작은 크기의 소자로 더 많은 정보를 처리하거나 정보를 저장하는 방향으로 진보하고 있다[1-3]. 현대 전자공학의 핵심 정보처리 소자인 트랜지스터(transistor)는 전자의 전하를 전달 또는 저장함으로써 정보를 처리한다. 실리콘 MOSFET (metal oxide semiconductor field effect transistor)이 그 중 가장 대표적인 소자인데, 이 소자에서는, 게이트(gate)에 의해 인가되는 전기장을 이용하여 운반자(carrier)의 밀도와 반도체 채널(channel)의 전도도(conductivity)를 제어하는 방식을 통해, 스위치 또는 증폭기 기능을 구현한다. 한편, HDD(hard disk drive)로 대표되는 자기 정보저장 소자는 전자회로와는 완전히 다른 기술에 기반하고 있다. 자성체는 자기이력(magnetic hysteresis) 특성을 지니고 있어서 오랜 기간 동안 정보를 유지할 수 있으며, 자성체를 이용한 자기 정보저장 소자는 정보를 유지하는데 추가적인 에너지를 필요로 하지 않는다.

위와 같이 반도체 정보처리 소자는 반도체 특성에 기반한 기술이고, 자기 정보저장 소자는 자성체 특성에 기반한 기술이다. 이 두 기술의 장점을 결합하여 반도체 정보처리 소자에 자기 정보저장 기능이 결합되어 있는 새로운 소자를 구현한다면, 이 기술은 에너지 절감 측면에서 매우 효율적인 대안이 될 수 있다. 예를 들어, 한 개의 소자에서 증폭 기능과 메모리 기능을 동시에 수행하면서도 기존 소자들에 비해 더 작은 전력을 소모할 수 있다.

반도체 스핀트로닉스는 반도체와 자성체를 결합하여 전자

의 전하뿐만 아니라 전자의 스핀 특성을 함께 이용하여 새로운 소자를 구현하는 기술 영역이다. 그 중에서도 특별히 스핀 전송 특성을 이용하여 트랜지스터를 구현하는 것이 과학계의 오랜 과제였다. 스핀 트랜지스터의 동작 개념은 1990년에 Das와 Datta에 의해 제안되었고[4], 이를 구현하려는 여러 해에 걸친 노력이 최근 결실을 맺어 한국과학기술연구원 연구진이 화합물 반도체에 기반한 스핀 트랜지스터를 실현하였다[5]. 이 성과에서 한 걸음 더 나아가서, 만약 반도체 산업의 주축 물질인 실리콘을 이용하여 스핀 트랜지스터를 구현한다면, 이는 정보 산업에 있어 획기적인 진전이 될 것이다. 실리콘을 이용하는 수많은 스핀트로닉스 소자를 상상할 수 있겠지만, 현재 전자공학의 가장 주요한 소자인 MOSFET과 가장 가까운 형태의 소자, 이른바 실리콘 스핀 MOSFET을 구현할 수 있다면 더욱 파급력이 있을 것으로 예상된다[6, 7].

반도체 채널로 실리콘을 사용하는 데에는 경제적인 이유 외에도 여러 기술적인 이유가 있다. 반도체 내에서 스핀이 전송되기 위해서는 스핀 확산 거리(spín diffusion length)가 충분히 확보되어야 한다. 실리콘에서의 스핀 확산 거리는 금속 또는 여타 반도체에서의 스핀 확산 거리보다 상당히 길다. 일반적으로 스핀 이완(spín relaxation)이 일어나는 과정에는 (i) Elliot-Yaffet 현상, (ii) D'yakonov-Perel 현상, (iii) Bir-Aronov-Pikus 현상, (iv) 초미세 갈라짐 상호작용(hyperfine interaction) 등 네 가지 기제(mechanism)가 작용한다고 알려져 있다[8]. 첫째, Elliot-Yaffet 현상은 스핀 산란(spín scattering)이 운동량 산란(momentum scattering)에 동반되어 나타나는 경우인데, 스핀-궤도 상호작용(spín-orbit interaction)이 클수록 스핀 산란이 더 많이 일어난다[8]. 실리콘에서는 스핀-궤도 상호작용이 작기 때문에 Elliot-Yaffet 기제에 의한 스핀 산란도 매우 작다. 둘째, D'yakonov-Perel 기제에 의한 스핀 산란은

\*Tel: (02) 958-5730, E-mail: min@kist.re.kr

격자의 반전 대칭성(inversion symmetry)이 깨져있는 GaAs, InAs 같은 물질에서 주로 일어난다[8]. 실리콘 격자는 반전 대칭성을 갖고 있기 때문에 이 기체에 의한 산란을 무시할 수 있다. 셋째, Bir-Aronov-Pikus 현상은 전자와 홀(hole)간의 상호작용에 의해 스핀이 산란되는 경우이다[8]. N-형 실리콘에서는 주요 수송 현상이 전자에 의해서 일어나기 때문에 이 효과를 무시할 수 있다. 마지막으로 실리콘은 대부분 원자량 28을 지니며, 이 경우 핵 스핀을 갖고 있지 않다. 따라서, 실리콘에서는 핵에 의한 초미세 갈라짐 상호작용도 무시할 수 있다.

위와 같은 장점 때문에 실리콘을 이용하여 스핀트로닉스 소자를 실현하고자 하는 연구가 최근에 많은 주목을 받고 있다 [7, 9, 10]. 이 글에서는 먼저 실리콘 스핀 MOSFET의 구성과 동작에 대해 간단하게 소개를 하고, 실리콘 스핀트로닉스 분야에서의 주요한 진전을 살펴본 후, 향후 기술적 과제에 대해서 간단히 기술하고자 한다.

## II. 실리콘 스핀 MOSFET의 구성과 동작

실리콘 스핀 MOSFET은 실리콘 채널(Si channel)과 강자성체 소스(source) 및 드레인(drain)으로 구성되며, 게이트(gate)에 의해 제어되는 자기저항 소자이다(Fig. 1). 소스와 드레인이 자성체로 구성되어 있는 점을 제외하면, 이 소자의 형태는 일반적인 MOSFET과 거의 동일하다. 이 소자에서는 일반적인 MOSFET과 마찬가지로 게이트에 가해지는 전압에 의해서 채널 저항이 조절되지만, 소스와 드레인에 위치한 두 자성체의 자화 방향에 의해서도 채널 저항이 변화할 수 있다. 또한, 전원을 제거하더라도 저항 상태를 기억할 수 있다. 예를 들어, 마치 거대자기저항(giant magnetoresistance, GMR) 소자 또는 터널자기저항(tunnel magnetoresistance, TMR) 소자와 흡사하게, 소스와 드레인의 자화 방향이 서로 평행(parallel)이면 소스-드레인 사이의 저항이 작고, 소스와 드레인의 자화 방향이 서로 반 평행(antiparallel)이면 소스-드레인 사이의 저항이 크다.

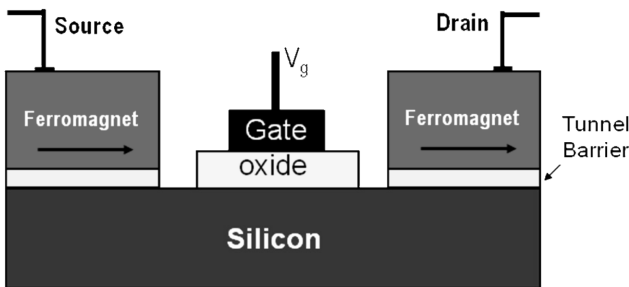


Fig. 1. Schematic diagram of a spin MOSFET.

최근 보고된 시뮬레이션에 따르면, 이상적인 스핀 MOSFET을 이용하여 매우 효율적인 기능전환형(reconfigurable) 논리회로를 제작할 수 있다[11-13]. 예를 들어, 기존 MOSFET으로 AND, OR, XOR, NAND, NOR, XNOR, all-1, all -0 등 8개의 기능을 구현하는 회로를 제작하려면 모두 64개의 트랜지스터가 필요하다[13]. 하지만, 스핀 MOSFET이 존재한다면, 4개의 스핀 MOSFET과 6개의 일반 MOSFET으로 동일한 기능이 구현 가능하다[13]. 또한, 스핀 MOSFET은 정보 유지를 위해 전력을 공급할 필요가 없다는 장점을 추가로 지닌다.

이러한 소자를 실현하기 위해서는 (i) 강자성체 소스로부터 실리콘 채널로 충분한 크기의 스핀을 주입할 수 있어야 하고, (ii) 반도체 채널 내에서 스핀 정보를 잃지 않은 채 전자를 수송할 수 있어야 하고, (iii) 강자성체 드레인이 실리콘으로부터 충분한 크기의 스핀을 검출할 수 있어야 하고, (iv) 반도체 채널 내에서의 스핀 정보를 조절할 수 있어야 한다.

강자성체 소스로부터 반도체 채널 내로 전자의 스핀을 주입하는 일은 그리 간단하지 않다. 반도체 내의 전자가 탄동 수송(ballistic transport)를 따를 경우에는 접합 면의 저항이 중요하지 않으나, 반도체 내의 전자가 확산 수송(diffusive transport)을 따를 때에는 바로 이 접합의 특성이 강자성 전극과 실리콘 채널 사이에 스핀 정보가 전달되는 크기를 결정한다. 특히 소스와 드레인 사이의 자기저항을 측정하기 위해서는 자성체 소스 및 드레인과 반도체 사이의 접합을 적절히 설계하여야 한다.

강자성 금속을 반도체에 바로 붙여 놓으면, 스핀에 의해서 변하는 아주 작은 저항과 스핀에 영향을 받지 않는 아주 큰 저항이 다수전자(majority electron)와 소수전자(minority electron) 스핀 채널에 대하여 각각 직렬로 붙어 있는 형태를 갖게 된다(Fig. 2). 강자성체에서는 스핀의존 산란(spin dependent scattering)에 의해 다수 전자와 소수 전자 채널 사이에 저항 차이가 나지만, 반도체 내에서는 전자의 스핀이 구별되지 않기 때문에 두 전자 채널 사이에 저항 차이가 나지 않는다. 그런데, 반도체 채널의 저항은 강자성 금속의 저항보다 매우 크므로 스핀 상태에 따른 전체 소자의 저항 변

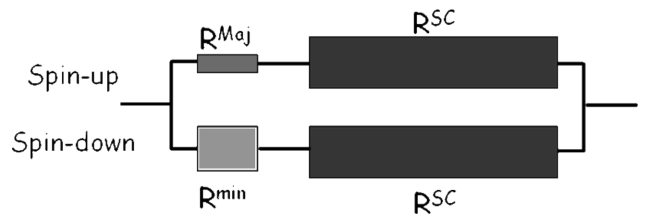


Fig. 2. Majority and minority electron channels in a ferromagnet-semiconductor contact.  $R^{Maj}$  ( $R^{min}$ ) is the resistance of majority (minority) electron channel of the ferromagnet, and  $R^{SC}$  is the resistance of each spin channel in Si.

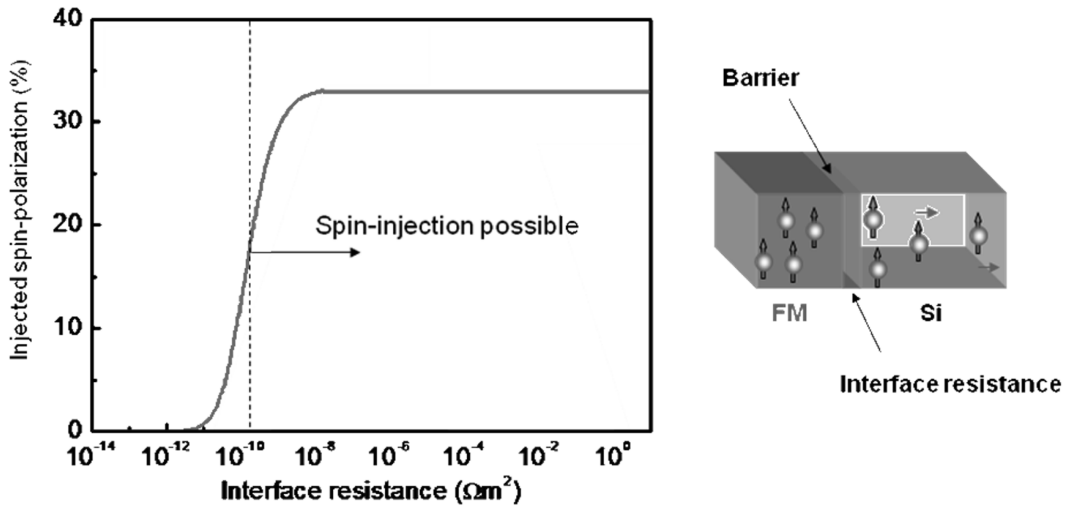


Fig. 3. Spin polarization in Si as a function of the interface resistance of a ferromagnet-insulator-Si contact.

화가 전기적으로 검출할 수 없을 정도로 미미하다. 이 문제는 전기 전도도 불일치(conductivity mismatch)라는 문제로 잘 알려져 있다[14]. 덧붙이자면, 금속과 반도체 사이의 접합은 일반적인 두 금속의 직렬 접합보다 조금 더 복잡한 특성을 갖고 있다. 이 부분에 대해서는 뒤에서 다시 논의 하겠다.

앞서 말한 전기 전도도 불일치 문제를 해결하기 위하여, Rashba와 Fert 등은 강자성 전극과 반도체 사이에 스핀에 의존하는 계면저항을 삽입하는 방법을 제시하였다[15, 16]. 스핀에 의존하는 계면저항의 가장 대표적인 예는 강자성체와 반도체 사이에 절연체를 삽입하면서 생기는 터널 장벽이다. 강자성 금속과 반도체 사이에 스핀에 의존하는 계면저항을 삽입했을 때 계면저항이 반도체 채널의 저항보다 크다면, 특정 방향 스핀을 선택적으로 주입하여 전체 소자의 저항이 커지거나 작아지도록 만드는 것이 가능해진다. 계면저항이 반도체

채널의 저항보다 커지기 위한 바로 이 값이, 스핀을 강자성체 금속에서 반도체 내부로 주입하기 위한, 계면저항의 낮은 한계 값(lower limit)이 된다(Fig. 3). 반도체로의 전자의 스핀 주입 현상을 광학적인 방법으로 검출하는 경우거나, 스핀 축적(spine accumulation)을 스핀 주입 및 스핀 검출 단자 사이의 전압의 크기로 측정하는 비-편재 구조(non local geometry)를 이용하여 스핀을 검출하는 경우에는, 계면저항이 이 낮은 한계 값보다 크기만 하면 충분하다.

하지만, 스핀 MOSFET과 같이 두 단자에서 자기저항을 관측하기 위해서는 새로운 조건이 필요하다. 주입된 전자의 스핀 축적( $\Delta\mu$ ) 또는 저항 변화( $\Delta R$ )는 계면저항이 증가함에 따라 포화되는 것에 반해(Fig. 3), 소스-드레인 간의 2단자 저항( $R$ )은 계면저항이 증가함에 따라 계속 증가한다. 소스-드레인 간의 출력신호는 저항변화 값( $\Delta R$ )을 전체 저항 값( $R$ )으로

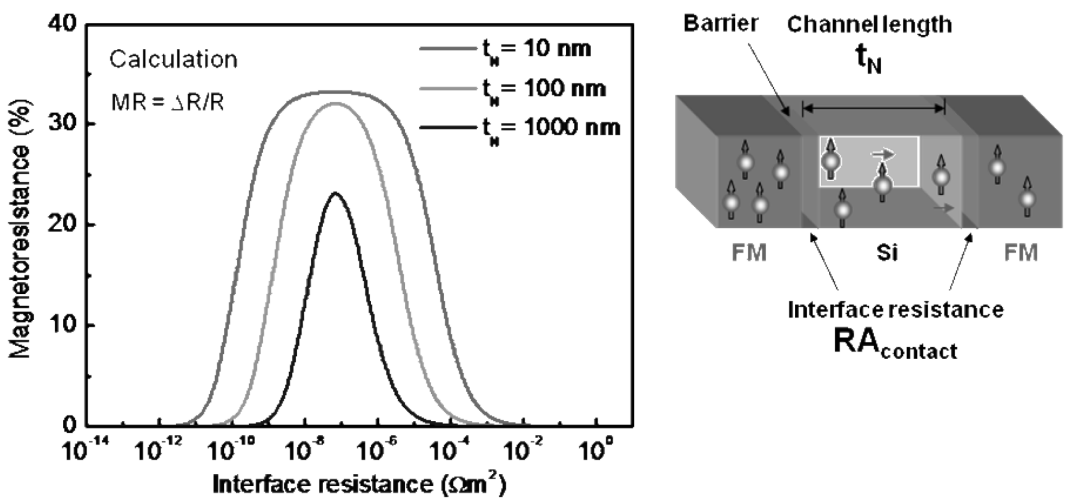


Fig. 4. Calculated magnetoresistance response in a spin MOSFET as a function of the interface resistance of the spin contacts.

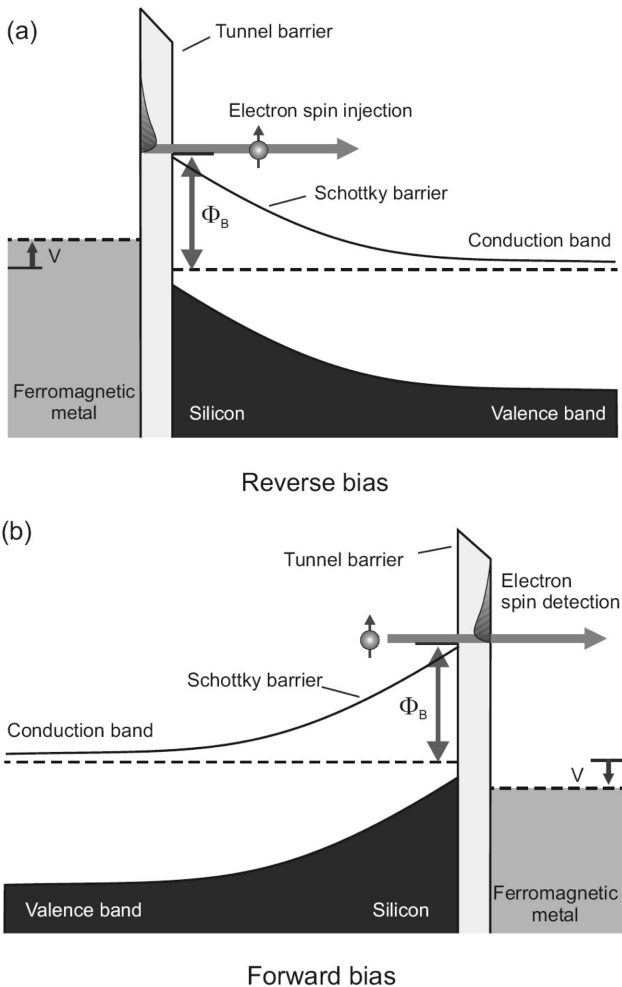
나는 자기저항비( $\Delta R/R$ )에 비례하기 때문에, 계면저항을 무한정 늘릴 수는 없다. 위와 같은 문제 때문에 계면저항에 높은 한계 값(upper limit)이 존재하고, 스핀 트랜지스터에서 소스-드레인 간의 2단자 자기저항 현상을 관측하기 위해서는 Fig. 4에 나타난 바와 같이, 계면저항이 낮은 한계 값과 높은 한계 값 사이의 좁은 영역 내에 위치해야 한다[16]. 이 한계 값들은 채널의 길이, 채널 내의 스핀 확산 거리, 계면 저항 등 여러 인자에 의해 영향을 받는다. 스핀 트랜지스터의 소스와 드레인 양단에서의 자기저항이 계면저항에 따라 어떻게 바뀌는지를 Fig. 4에 채널의 길이가 각각 10, 100, 1000 nm 인 경우에 대하여 표시하였다. 여기서 한가지 주의할 점은 스핀이 확산 수송을 따를 때만 위의 논의가 적용이 되고, 탄동 수송을 따를 경우는 이와 다른 조건이 적용된다는 것이다.

지금까지는 자성금속-절연체-반도체 접합을 일반적인 저항이 직렬로 연결되어 있는 아주 간단한 구조라고 가정하고 문

제를 다루었으나 실제 접합은 이처럼 간단한 모델보다 훨씬 복잡한 양상을 띠고 있다. Fig. 5에 자성금속-절연체-반도체 접합의 개략적인 에너지 다이어그램을 나타내었다. 반도체와 금속간에 접합을 형성하면, 반도체 내의 자유전자가 이동하여 두 물질의 페르미 에너지(Fermi energy) 준위가 서로 정렬하고, 양의 공간 전하(space charge)가 접합면에 분포하는 결핍 영역(depletion region)이 발생한다. 이 결핍 영역은 반도체 채널 내의 도핑 정도에 따라 수 나노 미터에서 수 마이크로 미터까지 변화할 수 있다. 또한, 금속의 전도 띠(conduction band)와 반도체의 전도 띠 사이에 에너지 장벽이 형성되는데, 이를 쇼트키 장벽(Schottky barrier)이라고 부른다. 이 쇼트키 장벽의 높이(Schottky barrier height)는 자성금속의 일 함수(work function), 반도체의 전자 친화도(electron affinity), 계면 상태 밀도(the density of interface states), 전하 중화도 준위(charge neutrality level) 등에 의해 결정된다 [17].

쇼트키 장벽은 반도체 내로의 스핀주입에 다음과 같은 세 가지 문제를 야기한다. 첫째, 스핀이 주입되는 에너지 준위가 페르미 준위(Fermi level) 보다 높은 곳에서 일어난다. 자기터널접합(magnetic tunnel junction)에서 일반적으로 관찰되는 바와 같이 터널 스핀 분극도(tunnel spin polarization)는 페르미 준위에서 멀어질수록 감소하는 경향을 지니고 있다[18, 19]. 이에 따라 페르미 준위보다 약 0.5~1.0 eV 정도 높은 지점에서 터널링이 일어난다면 터널 스핀 분극도는 페르미 준위에서의 값에 비해 현저히 감소한다. 둘째, 전자가 반도체 내로 수송되는 방식이 직접적인 터널링에 의해 일어나지 않고, 열전자 방출(thermionic emission)에 의해 일어난다. 이에 따라 스핀이 전송되는 방식이 매우 복잡한 양상을 보이게 된다. 셋째, 쇼트키 장벽의 존재로 인하여 자성금속-절연체-반도체 접합의 저항이 스핀주입에 최적인 조건보다 매우 큰 값을 갖게 된다. 이러한 문제로 인하여, 계면 저항이 자기저항 현상을 관측하기 위한 저항영역을 벗어나게 된다.

이러한 문제점을 해결하기 위하여 다양한 방법이 제시되고 있다. 첫 번째 방법은 도핑 밀도(doping concentration)가 높은 실리콘 채널을 사용하는 것이다[10]. 반도체 내의 결핍 영역의 너비는 도핑 밀도의 제곱근에 반비례하기 때문에, 도핑 밀도를 충분히 증가시키면, 결핍 영역의 너비를 직접 터널링이 가능한 수준으로 감소시킬 수 있다[17]. 원하는 실리콘 채널의 도핑밀도가 낮을 경우에는 높은 도핑밀도를 가진 실리콘과 낮은 도핑밀도를 직렬로 붙여 사용하는 방법도 가능하다. 물론 이 경우에는 경계 면에서 도핑 물질들의 확산 등의 문제가 발생할 소지가 있다. 두 번째 방법은 자성금속의 일 함수를 조절하여 쇼트키 장벽을 제거하는 것이다[7]. 쇼트키 장벽의 높이는 자성금속의 일 함수에 따라 변화하는데, 충분히



**Fig. 5.** Schematic energy band profile of a ferromagnet-insulator-Si contact with (a) a reverse bias and (b) a forward bias.  $\phi_B$  denotes the Schottky barrier height, and  $V$  denotes the applied voltage bias.

낮은 일함수를 지닌 금속을 사용한다면, 쇼트키 장벽을 이론적으로 0에 가깝게 제어할 수 있다. 단, 낮은 일함수를 지니면서도 동시에 높은 스핀 분극도를 지닌 물질을 찾는 것이 과제이다[7]. 세 번째로 실리콘 표면을 제어하여 쇼트키 장벽을 감소시키는 방법이 가능하다[20, 21]. 쇼트키 장벽의 높이가 전하 중화 준위와 계면 상태 밀도에 민감하게 변화하기 때문에, 예를 들어, Cs 등의 물질을 실리콘 표면에 증착하면, 실리콘 띠틈 간격(band gap) 내에 전하 중화 준위를 조절할 수 있다[20, 21]. Cs를 실리콘 표면에 증착하더라도 자성금속에서 실리콘으로의 스핀 주입이 방해 받지 않는다는 것이 최근에 증명되었다[21].

### III. 실리콘으로의 스핀 주입의 증거

자성금속에서 반도체로의 스핀 주입을 증명하는 데에는 크게 세가지 방법이 주로 사용된다. 첫 번째 방법은 광학적 수단을 이용하는 것이다. 예를 들어 전기적으로 스핀을 주입하고 광학적인 수단으로 스핀을 검출하거나, 광학적으로 스핀을 주입하고 전기적으로 스핀을 검출하는 방법이 이에 해당된다[22, 23]. 두 번째 방법은 탄동 수송을 이용하여, 계면 저항의 전도도 불일치 문제의 영향을 받지 않는 상황에서, 스핀을 주입하고 검출하는 것이다[9]. 세 번째 방법은 전기적으로 스핀을 주입하되, 2단자 자기저항을 측정하지 않고, 반도체 내의 스핀 축적에 의한 전압을 측정하여 스핀을 검출하는 방식이다[24, 25]. 스핀 축적을 측정하는 방법으로는 4개의 단자를 사용하는 비편재 스핀 밸브(non-local spin valve) 구조[24] 또는 하나의 접합을 주입단자와 검출단자로 동시에 이용하는 3단자(three terminal) 구조[10, 25, 26]가 주로 이용된다.

광학적 방법으로 반도체에서 스핀을 검출하는 원리에 대해서는 Jonker 등에 의해 발표된 해설논문[22]에 상세히 설명되어 있다. 자성금속-장벽-반도체 접합을 통해 스핀 분극된 전자를 자성금속에서 반도체로 주입하면, 반도체 내에 형성된 *n-i-p* 구조에서 이 전자가 홀과 재결합할 때, 반도체에서 원편광된(circularly polarized) 빛이 발생한다. III-V족 반도체 덩어리(bulk) 또는 양자우물(quantum well) 내의 선택 규칙(selection rule)에 의해, 원편광(circular polarization)의 크기는 스핀 분극의 아주 간단한 함수로 나타난다[22]. 이 때, *n-i-p* 구조에서 발생하는 원편광을 측정함으로써 반도체 내의 스핀 분극도를 측정할 수 있다. 이와 반대로 원편광된 빛을 반도체 내에 입사하여 반도체 내에 스핀 분극을 형성하고, 이 스핀 분극을 전기적인 방식으로 검출하는 방법도 사용된다.

실리콘은 간접 띠틈 간격(indirect band gap)을 갖기 때문에 광학적 방법으로 스핀을 검출하는 것이 어려울 것이라고 예상되어 왔다. 하지만, 최근 보고된 바와 같이, Fe/Al<sub>2</sub>O<sub>3</sub>/Si/

*n-i-p* 발광 다이오드(light emitting diode, LED) 구조를 이용하여, 철(Fe)로부터 Al<sub>2</sub>O<sub>3</sub>를 통과하여 실리콘에 주입된 스핀의 크기를 그 뒤에 위치한 *n-i-p* LED에서 검출하게 되면, 실리콘과 같이, 간접 띠틈 간격을 지닌 반도체 내의 스핀 축적의 크기도 광학적 방식으로 검출할 수 있다[27].

두 번째 방법으로 반도체로의 효과적인 스핀주입을 위해 탄동 수송을 이용할 수 있다. Appelbaum 등은 전자의 탄동 수송을 이용하여 실리콘에 스핀 주입이 가능하며, 또한 주입된 스핀 신호를 외부 자기장으로 변조할 수 있음을 증명하였다[9]. 이들은 “비자성 금속/Al<sub>2</sub>O<sub>3</sub> 터널장벽/자성체 금속/실리콘 채널/ 자성금속-실리콘”으로 이루어진 수직구조를 제작하였다(참고문헌[9]의 Fig. 1 참고). 일반적으로 금속 위에 반도체 층을 형성하는 것은 매우 어렵다. Appelbaum 등은 문제를 해결하기 위하여 스핀 밸브 트랜지스터(spin valve transistor)를 제작할 때 사용되는 진공 접착(vacuum bonding) 방식을 응용하였다[28, 29]. 한편, 전자를 높은 에너지 상태에서 금속 안으로 주입하기 위해, 마치 자기터널 트랜지스터(magnetic tunnel transistor)[18, 29]에서 사용되는 방법과 같이 “비자성 금속/Al<sub>2</sub>O<sub>3</sub> 터널장벽/자성체 금속” 구조를 사용하였다[9]. 자성 금속 안에서 뜨거운 전자(hot electron)의 산란은 전자의 스핀에 매우 민감하다[29]. 일반적으로 다수 전자는 매우 긴 스핀 감쇠 길이(spin attenuation length)를 보이며, 소수 전자는 매우 짧은 스핀 감쇠 길이를 보인다[29]. 뜨거운 전자의 독특한 수송특성 때문에 5 nm 정도의 아주 얇은 자성체만 통과하더라도 거의 1에 가까운 스핀 분극률을 얻게 된다[18, 29]. 또한, 뜨거운 전자가 탄동 수송을 따르기 때문에, 뜨거운 전자가 실리콘에 입사될 경우 앞에서 설명한 전기 전도도 불일치 문제를 피할 수 있다[15, 16]. 실리콘에 주입된 전자는 실리콘 채널을 통과한 후, 반대쪽 면에 형성된 자성체에 다시 뜨거운 전자로서 입사한다[9]. 스핀 검출 접합에서도 스핀 주입 접합에서와 같은 방식으로, 뜨거운 전자가 자성체를 통과할 때 다수 뜨거운 전자(majority hot electron)만 주로 통과하고, 소수 뜨거운 전자(minority hot electron)는 자성체/실리콘 쇼트키 접합에 의해 걸러진다[9]. 이러한 두 개의 스핀 주입/검출 접합을 이용함으로써 스핀 밸브 트랜지스터와 같은 자기전류(magnetocurrent) 효과를 얻을 수 있다.

Appelbaum 등은 자기전류효과 측정을 통해서 전자의 진행 방향에 수직으로 자기장을 가하였을 때, 전자의 스핀 세차운동에 의해 스핀의 방향을 제어할 수 있음을 보였다[9]. 이 실험에서 실리콘 안에서 전자의 *g* 인자(*g*-factor)가 거의 2에 가까운 것으로 나타났으며, 저온(60 K)에서의 실리콘 내의 스핀 수명(spin lifetime)이 500 ns로 매우 길어서, 350 μm 두께의 실리콘 채널을 통과시킨 후에도 자기 전류를 검출할 수 있었다[30]. 뜨거운 전자를 이용하는 방식의 한가지 단점은

스핀 주입과 검출에 스핀 밸브 트랜지스터 구조를 사용하였기 때문에 전기장으로 스핀을 제어하기 위한 게이트를 형성하기가 매우 어렵다는 것이다. 이 문제를 극복하기 위하여, 최근에 가로 구조(lateral structure)에서도 탄동 수송에 의한 스핀주입구조와 스핀 검출 구조를 형성하여, 수직 구조와 거의 흡사한 방식으로 스핀 주입과 자기장에 의한 스핀 제어를 실현하였다[31]. 하지만, 탄동 수송을 이용하여 스핀을 주입하는 방법은 뜨거운 전자를 이용하기 때문에 검출되는 전류의 크기가 nA 이하로 매우 작다는 본질적인 문제점을 지니고 있다[29]. 따라서, 이 방법을 이용하여 스핀 트랜지스터를 실현하는 것은 쉽지 않을 것으로 예상된다.

마지막으로 반도체 내의 스핀 축적(spín accumulation)에 의한 전압을 측정하여 스핀 주입을 증명하는 방식에 대해 간략히 설명하고자 한다. 많은 연구자들이 비자성 금속 또는 반도체에 스핀이 주입되었다는 사실을 증명하기 위해 비편재 스핀 밸브 구조를 사용하여 왔다[24, 32-34]. 이 방법에서는, Fig. 6에 나타난 바와 같이, 스핀 분극된 전자가 한쪽 전류 단자( $I^-$ )에서 반도체로 주입되고, 주입된 전자는 대부분 주입 단자에서 다른 전류 단자 ( $I^+$ )로 흐른다. 하지만, 전자들이 스핀 분극되어 있기 때문에, 다수전자의 화학 포텐셜(chemical potential)이 소수전자의 화학 포텐셜보다 큰 상태, 이른바 스핀 축적(spín accumulation)이 발생한다. 이 스핀 축적의 크기는 반도체 내에서의 스핀 확산 거리의 함수이며 스핀 확산-표류(spín diffusion-drift) 방정식을 따라 스핀 주입된 위치에서 멀어질수록 스핀 축적의 크기가 지수적으로 감소한다[24, 25]. 만약 반대쪽에 위치한 전압단자( $V^+$ )가 스핀 확산거리 내에 있고 다른 전압단자( $V^-$ )가 스핀 확산거리보다 아주 멀리 떨어져 있다면, 이 두 전극( $V^+$ ,  $V^-$ ) 사이의 전위차를 측정하여 스핀 분극된 전자의 주입에 의해 반도체 내에 형성된 스핀 축적을 구할 수 있다.

일반적으로 2단지만을 이용하여 반도체 채널에 전류를 흘

리고 같은 단자로 전압을 측정하여 저항변화를 읽을 경우, 국소 홀 효과 또는 자기저항 효과 등에 의해 스핀 축적이 아닌 가짜 효과(artifact)를 측정하기 쉽다. 반면에 비편재 스핀밸브 구조에서는 전류단자( $I^+$ ,  $I^-$ ) 사이에만 전류가 주로 흐르고, 전위차를 측정하는 전압단자( $V^+$ ,  $V^-$ )에는 전류가 거의 흐르지 않기 때문에 전류에 의한 가짜 효과를 최소화 할 수 있다. 비편재 스핀밸브 구조에 의한 측정법이 비자성 금속에서의 스핀 확산을 이해하는데 매우 효과적임이 Van Wees 등에 의해 증명되었고[32, 33], GaAs 같은 반도체 채널에서도 이 방법이 역시 효과적임이 Crowell 등에 의해 증명되었다[24].

비편재 스핀 밸브구조는 또 다른 장점을 지니고 있다. 이 방법을 이용하면 스핀 축적에 의한 전압 측정과 더불어 Hanle 효과를 측정함으로써 비자성 채널로의 스핀 주입을 더욱 확실하게 확인할 수 있다[24, 33]. Hanle 효과란, 스핀 주입에 의해 반도체 채널로 주입된 전자의 스핀이 이 스핀 방향에 수직인 자기장에 의해 세차운동을 하고, 이 세차운동에 따라 스핀 축적이 감소하는 효과를 말한다. 비편재 스핀 밸브 구조를 이용하는 4단자 측정법에서는 스핀 주입에 이용되는 전류단자( $I^-$ )와 전위차 측정에 이용되는 전압단자( $V^+$ ) 사이의 거리가 스핀 확산 거리 내에 있어야 큰 Hanle 신호를 기대할 수 있다. 스핀축적의 크기는 스핀 검출에 사용되는 전압단자( $V^+$ )와 스핀 확산거리보다 매우 멀리 떨어진 단자( $V^-$ ) 사이의 전압을 측정함으로써 구할 수 있다. 여기서 자기장 증가에 따른 스핀축적의 감소가 두 단자간의 전압 변화로 나타난다. 실리콘에서의 상온 스핀 확산 거리가 수  $\mu\text{m}$  정도로 예상되기 때문에 비편재 스핀밸브 구조를 만들기 위해서는 충분한 공간 분해능을 가진 리토그래피(lithography)를 이용하여야 한다. 최근, Van't Erve, Suzuki 등이 이 방법을 이용하여 실리콘으로의 스핀 주입 및 검출에 성공한 바 있다[35, 36].

나노 리토그래피가 용이하지 않을 경우에는 3개의 단지만을 이용하여 스핀 주입을 증명할 수 있다[25, 26]. 이 방법은

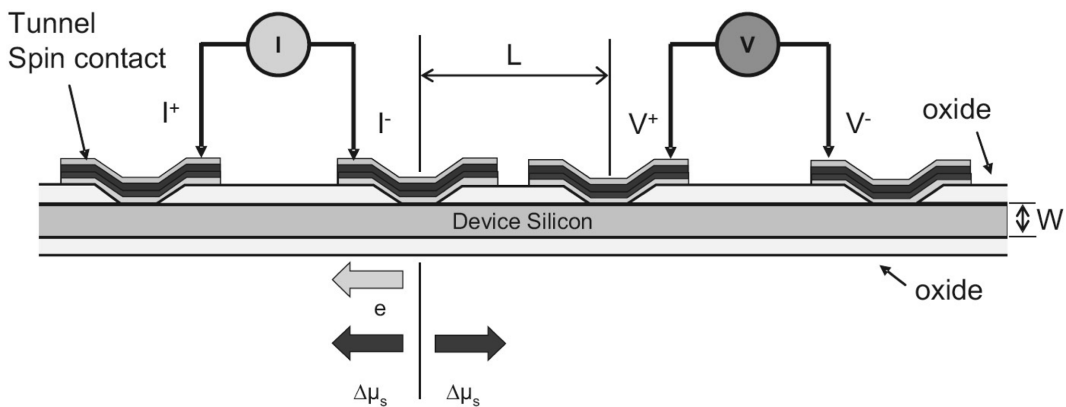
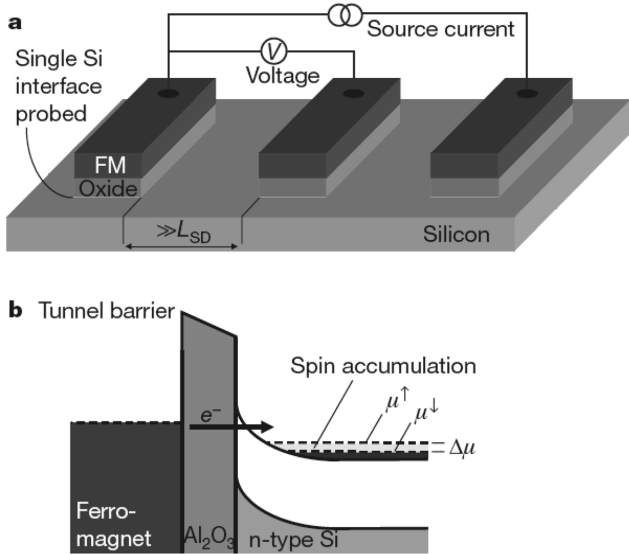


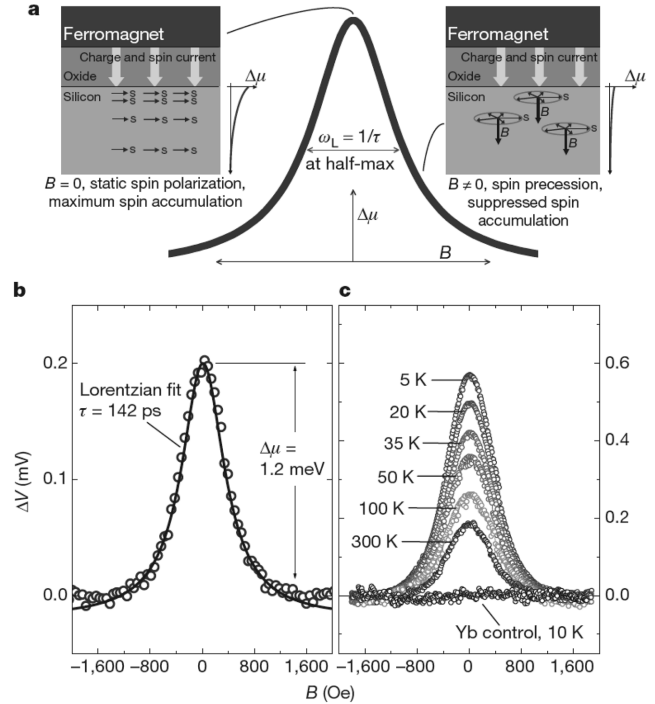
Fig. 6. Schematic diagram of a lateral geometry for non-local MR observation.  $\Delta\mu_s$  denotes the spin accumulation,  $W$  the thickness of the Si channel, and  $L$  the length between the spin injection and spin detection contacts.



**Fig. 7.** Three-terminal device geometry and energy band profile of magnetic contact with *n*-Si, by courtesy of Ron Jansen [10]. (a) Three-terminal device for injection and detection of spin polarization in Si under a single contact (left) consisting of an oxide insulator and a ferromagnetic-metal electrode [10]. (b) Energy band profile of the junction, depicting the ferromagnet, the Al<sub>2</sub>O<sub>3</sub> barrier and the *n*-type Si conduction and valence bands bending up towards the oxide, forming a depletion region in the Si that acts as a second part of the tunnel barrier [10].

비교적 간단한 리토그래피 기술로 구현할 수 있다는 장점을 지니고 있어서, GaAs, Si, Ge 등의 여러 종류의 반도체로 스핀주입을 확인하기 위하여 많은 그룹에서 3단자 측정법을 사용하고 있다. Fig. 7에 나타난 바와 같이 3단자 측정법은 앞의 4단자 측정법에서 스핀주입에 사용되는 접합(*I*)과 스핀 검출에 사용되는 접합(*V*)을 공유한다.

3단자 측정법에서 스핀축적을 결정하는 방법은 앞에서 설명한 바 있는 Hanle 효과를 이용하는 것이다. Fig. 8은 Jansen 등에 의해 실제로 측정된 Hanle 효과를 보여 주고 있다. 이 그림에서 자기장이 증가함에 따라 스핀 세차운동과 스핀 이완에 의해 스핀축적의 크기가 감소하고, 그 결과가 측정 전압의 감소로 나타나는 것을 볼 수 있다. Crowell과 Fert 등이 이 방법을 사용하여 GaAs의 스핀주입에 대해 연구하였다[25, 26]. Jansen 등은 같은 방법을 사용하여 상온에서 실리콘으로의 스핀주입이 가능하다는 사실을 증명했으며 [10], Jonker 등에 의해 유사한 방법으로 500 K까지도 실리콘으로의 스핀 주입이 가능하다는 것이 증명되었다[37]. Hanle curve를 적절히 잘 분석하면, 스핀 확산-표류 방정식에 의해 반도체 내에서의 스핀 수명(spin lifetime)을 결정할 수 있다 [10, 25]. Jansen 등의 보고에 의하면 *n*-type Si에서의 상온 스핀 수명은 140 ps 이상이다[10]. 하지만, 계면에서의 국소적인 자기장이 반도체에서의 스핀 세차운동에 영향을 주고, 계



**Fig. 8.** Electrical injection and detection of a large spin accumulation in *n*-type Si at 300 K, by courtesy of Ron Jansen [10]. (a) Hanle effect, producing a decay of the net spin accumulation,  $\Delta\mu$ , due to spin precession in a magnetic field,  $B$ , perpendicular to the electron spins ( $s$ ) in the Si [10]. At constant current, a voltage change,  $\Delta V$ , across the junction results [10]. (b) Detected  $\Delta V$  across an *n*-Si-Al<sub>2</sub>O<sub>3</sub>-Ni<sub>80</sub>Fe<sub>20</sub> (5 nm)-Co (20 nm) tunnel junction at 300 K, as a function of magnetic field perpendicular to the interface [10]. Data are taken with a constant source current of 734  $\mu$ A, corresponding to  $V = +172$  mV at  $B = 0$  [10]. The solid line is a Lorentzian fit with a spin life time  $\tau = 142$  ps [10]. (c) Detected  $\Delta V$  for various temperatures, as indicated, for the same junction [10]. Also shown (black symbols) is data at 10 K for a control device with 2 nm of Yb inserted between the Al<sub>2</sub>O<sub>3</sub> and the Ni<sub>80</sub>Fe<sub>20</sub> in an otherwise identical junction [10].

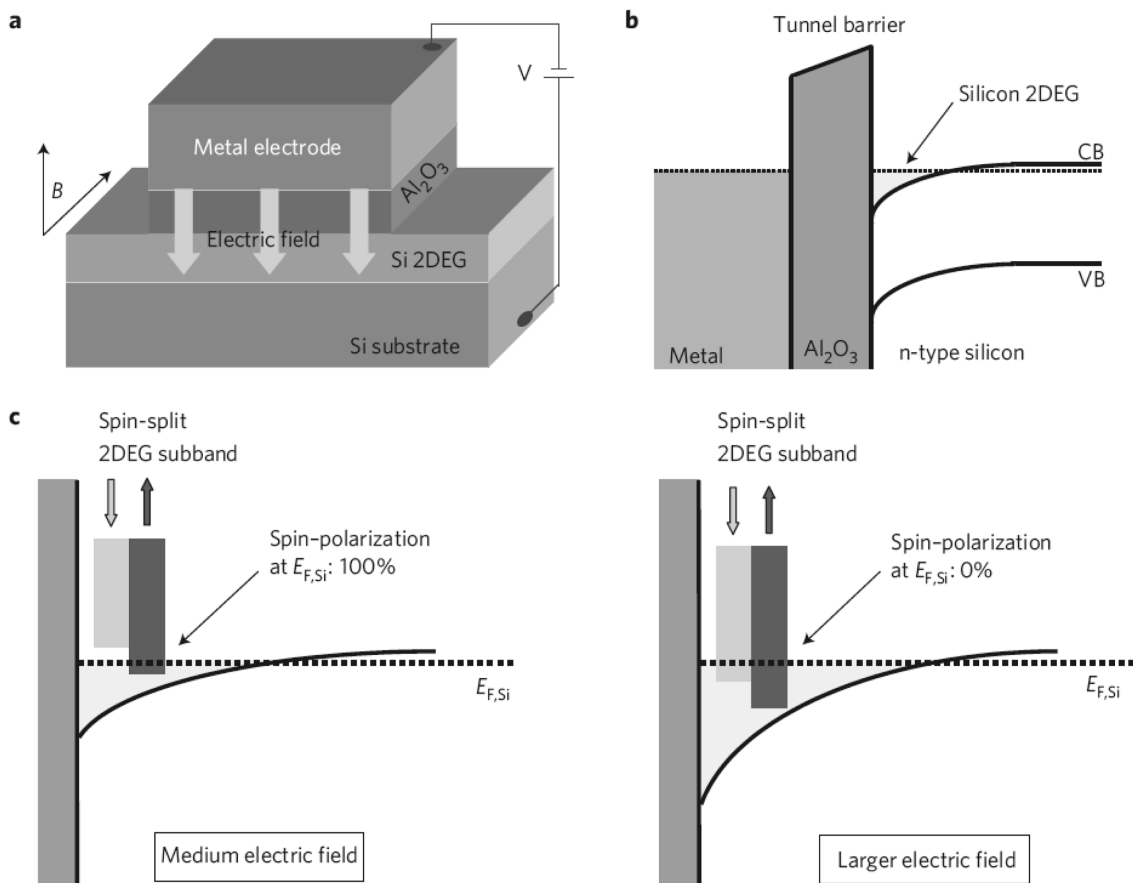
면의 거칠기에 의해 발생하는 비균질한 자기장 분포가 Hanle curve의 모양에 반영이 되기 때문에, Hanle 신호로부터 반도체 내에서의 스핀 수명을 결정하는 것은 생각처럼 단순하지 않다[38].

이상에서 기술한 바와 같이, 여러 그룹의 연구를 바탕으로 (1) 전기적으로 스핀을 주입하고 광학적인 방법으로 스핀을 검출하거나 광학적으로 스핀을 주입하고 전기적으로 스핀을 검출하는 방법, (2) 탄동 수송을 이용하여 계면 저항의 전도도 불일치 문제의 영향을 받지 않는 상황에서 스핀을 주입하고 검출하는 방법, (3) 전기적으로 스핀을 주입하되 2단자 자기저항을 측정하지 않고 반도체 내의 스핀 축적에 의한 전압을 측정하여 스핀을 검출하는 방식 등을 이용하여 실리콘에 실제로 스핀을 주입할 수 있으며, 주입된 스핀이 상당히 오랜 시간(~ns) 동안 실리콘에서 유지된다는 사실이 밝혀졌다.

#### IV. 실리콘 스핀트로닉스의 전망

실리콘 스핀트로닉스는 전자공학에 새로운 지평을 열 수 있는 가능성을 가진 기술이다. 위에서 살펴본 바와 같이 최근 몇 년 동안 실리콘으로의 스핀 주입에 많은 진전이 있었다. 이러한 중요한 진전에도 불구하고 실리콘 스핀트로닉스를 실용화하기까지에는 많은 난관이 남아있으며, 이 기술이 기존 전자공학에 어떤 영향을 줄 수 있는지는 아직 미지수이다. 실리콘 위에 복수의 강자성 전극을 형성하고 단순하게 자기장에 의해 강자성 전극의 자화 방향을 바꾸어 자기저항소자를 구현하는 방법만으로는 GMR 소자 또는 TMR 소자 등의 기존 자기저항소자에 비해 큰 차별성이 없다. 또한, 스핀 주입 및 스핀 검출에 의해 얻어진 자기저항 신호의 크기가 매우 작아 과연 실용화가 가능할 것인가에 대한 의구심이 드는 것이 당연하다.

이러한 과제들을 해결하기 위해 스핀이 가지는 고유한 특성을 이용하여 기존의 소자와 차별성 있는 새로운 차원의 기능을 개발하는 것이 필요하다. 전기장에 의한 신호 제어가 이러한 새로운 기능의 대표적인 예라 할 수 있다. 첫 번째 예는 Ohno 등이 InMnAs 등의 자성반도체를 이용하여 제시한 바와 같이[39], 전기장으로 운반자의 밀도를 조절하여 반도체 내의 스핀을 제어하는 것이다. 하지만, 실리콘이 자성 반도체가 아니므로 이 방법을 직접적으로 사용하기에는 어려움이 있을 것으로 예상된다. 두 번째 예는, Das-Datta가 제안한 스핀 FET의 경우와 같이, 스핀-궤도 결합을 이용하여 전기장으로 스핀을 제어하는 것이다[4, 5]. 하지만, 실리콘에서는 스핀-궤도 결합의 크기가 무척 작아 전자의 관성계에서 유효자기장으로 느껴지는 Rashba field의 크기도 매우 작을 것으로 예상된다. 전기장으로 스핀을 제어하려면 스핀-궤도 결합의 크기가 커야 하고, 긴 스핀 확산 거리를 가지려면 스핀-궤도 결



**Fig. 9.** Device layout and diagrams of electric field effect on spins in a Si 2DEG [20] (a) Device layout, showing the Si 2DEG, the oxide insulator and the metallic gate electrode. The arrows represent the electric field into the Si 2DEG owing to the voltage  $V$  applied to the metal with the Si substrate at ground [20]. (b) Energy band profile of the junction, showing the tunnel barrier, the Fermi levels (dotted lines), the Si conduction (CB) and valence (VB) band and the Si 2DEG (yellow) [20]. (c) Diagrams of electrical field modification of spin polarization in a Si 2DEG [20]. Shown is the position of the bottom of a 2DEG subband (with Zeeman spin splitting) relative to the Fermi level  $E_{F,Si}$  in the 2DEG, for two different electric fields ( $V > 0$ ) corresponding to 100% and 0% spin polarization at  $E_{F,Si}$  [20]. Note that the electric field can be supplied by any metal electrode, including a non-magnetic one [20].



합의 크기가 작아야 한다. 이 둘은 서로 상반되는 요구조건 이어서, 큰 스핀-궤도 결합과 긴 스핀 확산 거리를 동시에 만족시키기는 매우 어렵다.

최근 스핀-궤도 결합을 이용하지 않고, 전기장으로 실리콘 내의 스핀을 제어할 수 있는 새로운 형태의 방법이 제시되었다[20]. Jansen 등은 실리콘의 표면을 제어하여 자성체-절연체-실리콘 터널접합 계면에 양자우물을 형성하였다(Fig. 9). 이 접합에 전기장을 가하면 양자우물의 모양이 변화하며, 이에 따라 스핀 터널링의 크기가 전기장에 영향을 받게 된다. 이러한 현상을 이용하여 실리콘 이차원 전자기체의 스핀 분극율의 크기를 전기장으로 제어할 수 있다[20]. 이 발견은 스핀-궤도 결합이 약한 반도체 물질이나 탄소 나노튜브(carbon nanotube), 그래핀(grapheme) 등 탄소기반 물질에서 전기장으로 스핀을 제어할 수 있는 새로운 가능성을 보여준 성과라 할 수 있다.

지금까지 실리콘 스핀트로닉스 분야에서의 주요한 진전을 소개하고, 기술적 과제에 대해서 간단히 기술하였다. 실리콘 스핀트로닉스를 이용하여 새로운 형태의 전자 소자를 실현할 수 있을 것인가에 대해 대답하는 것은 앞으로 연구자들의 몫이다. 실리콘 스핀트로닉스를 실용화하기 위해서는 실리콘에서의 스핀 신호를 상온에서 전자회로를 구현하기에 충분한 전기신호로 바꾸는 일, 스핀 신호를 전기적으로 제어하는 일, 이를 이용하여 실리콘 MOSFET 등과 같은 새로운 전자소자를 구현하는 일 등 많은 과제가 산적해 있다. 우리가 이와 같은 과제에 창의적 노력으로 대담한다면, 실리콘 스핀트로닉스는 지금까지 상상하지 못했던 새로운 전자공학의 영역으로 우리를 인도할 것이다.

### 감사의 글

참고문헌[10] 및 [20]에 수록된 그림의 인용을 허락해 주신 Ron Jansen 박사께 감사 드립니다.

### 참고문헌

[1] A. Fert, Rev. Mod. Phys. **80**, 1517 (2008).  
 [2] C. Chappert, A. Fert, and F. N. van Dau, Nature Mater. **6**, 813 (2007).  
 [3] M. H. Kryder and C. S. Kim, IEEE Trans. Magn. **45**, 3406

(2009).  
 [4] S. Datta and B. Das, Appl. Phys. Lett. **56**, 665 (1990).  
 [5] H. C. Koo *et al.*, Science **325**, 1515 (2009).  
 [6] S. Sugahara, IEE Proc. Circuits Devices Syst. **152**, 355 (2005).  
 [7] B. C. Min *et al.*, Nature Mater. **5**, 17 (2006).  
 [8] I. Žutić, J. Fabian, and S. Das Sarma, Rev. Mod. Phys. **76**, 323 (2004).  
 [9] I. Appelbaum *et al.*, Nature **447**, 295 (2007).  
 [10] S. P. Dash *et al.*, Nature **462**, 491 (2009).  
 [11] M. Tanaka and S. Sugahara, IEEE Trans. Electron Dev. **54**, 961 (2007).  
 [12] S. Sugahara and J. Nitta, Proc. IEEE **98**, 2124 (2010).  
 [13] T. Matsuno, Jpn. J. Appl. Phys. **43**, 6032 (2004).  
 [14] G. Schmidt *et al.*, Phys. Rev. B **62**, R4790 (2000).  
 [15] E. I. Rashba, Phys. Rev. B **62**, R16267 (2000).  
 [16] A. Fert and H. Jaffrès, Phys. Rev. B **64**, 184420 (2001).  
 [17] S. M. Sze, Physics of Semiconductor Devices, 2nd edition, Wiley, New York (1981).  
 [18] B. G. Park *et al.*, Phys. Rev. Lett. **99**, 217206 (2007).  
 [19] S. O. Valenzuela *et al.*, Phys. Rev. Lett. **94**, 196601 (2005).  
 [20] R. Jansen, B. C. Min, and S. P. Dash., Nature Mater. **9**, 133 (2010).  
 [21] R. Jansen *et al.*, Phys. Rev. B **82**, 241305(R) (2010).  
 [22] B. T. Jonker, Proc. IEEE **91**, 727 (2003).  
 [23] W. Van Roy *et al.*, IEEE Trans. Electron Dev. **54**, 933 (2007).  
 [24] X. H. Lou *et al.*, Nature Phys. **3**, 197 (2007).  
 [25] X. H. Lou *et al.*, Phys. Rev. Lett. **96**, 176603 (2006).  
 [26] M. Tran *et al.*, Phys. Rev. Lett. **102**, 036601 (2009).  
 [27] B. T. Jonker *et al.*, Nature Phys. **3**, 542 (2007).  
 [28] D. J. Monsma, R. Vlutters, and J. C. Lodder, Science **281**, 407 (1998).  
 [29] R. Jansen, Journal of Physics D: Applied Physics **36**, R289 (2003).  
 [30] B. Huang, D. J. Monsma, and I. Appelbaum, Phys. Rev. Lett. **99**, 177209 (2009).  
 [31] H. J. Jang and I. Appelbaum, Phys. Rev. Lett. **103**, 117202 (2009).  
 [32] F. J. Jedema, A. T. Filip, and B. J. van Wees, Nature **410**, 345 (2001).  
 [33] F. J. Jedema *et al.*, Nature **416**, 713 (2002).  
 [34] N. Tombros *et al.*, Nature **448**, 571 (2007).  
 [35] O. M. J. van't Erve *et al.*, Appl. Phys. Lett. **91**, 212109 (2007).  
 [36] T. Suzuki *et al.*, Appl. Phys. Express **4**, 023003 (2011).  
 [37] C. H. Li *et al.*, Nature Comm. **2**, 245 (2011).  
 [38] S. P. Dash *et al.*, ArXiv 1101.1691 (2011).  
 [39] H. Ohno *et al.*, Nature **408**, 944 (2000).

## Silicon Spintronics

**Byoung-Chul Min\***

*Korea Institute of Science and Technology, Seoul 136-791, Korea*

(Received 8 April 2011, Received in final form 13 April 2011, Accepted 14 April 2011)

Semiconductor spintronics is an emerging interdisciplinary technology based on the electron spin degree of freedom, combining the magnetic materials and semiconductors. The spin transistor represents a novel semiconductor device, in which the electron spin is injected, manipulated, and detected, and thereby a memory function and data processing function are enabled in one device. Particularly, the spin transistor based on Silicon, the mainstream semiconductor, might have a significant impact on information technology. This review introduces the major progresses of Silicon spintronics in recent years, and describes the technical issues for the future.

**Keywords :** semiconductor spintronics, spin transistor, silicon, spin injection