

터널링 박막 두께 변화에 따른 부동 게이트 유기 메모리 소자

김희성^a · 이봉주^{b*} · 신백균^a

^a인하대학교 전기공학과, 인천 402-751

^b남서울대학교 전자공학과, 천안 331-707

(2012년 11월 2일 받음, 2012년 11월 16일 수정, 2012년 11월 23일 확정)

유기 메모리 절연막 제작을 위해 일반적으로 사용되어지는 습식법이 아닌 건식법 중 플라즈마 중합법을 이용하였다. 유기 절연 박막으로 사용된 단량체는 Styrene과 MMA를 사용하고, 터널링 박막은 MMA를 사용하며, 메모리 박막은 열기상증착법을 이용한 Au 박막을 사용하였다. 최적화된 소자의 구조는 Au의 메모리층의 두께를 7 nm, Styrene 게이트 절연막의 두께를 400 nm, MMA 터널링 박막의 두께를 30 nm로 증착하여 제작된 부동 게이트형 유기 메모리 소자는 40/-40 V의 double sweep시 27 V의 히스테리시스 전압을 얻을 수 있었다. 이 특성을 기준하여 유기 메모리의 전하 포집 특성을 얻을 수 있었다. 유기 재료 중 MMA 대비 Styrene의 전하 포집 특성이 좋은 것으로 보아 향후 부동 게이트인 Au 박막을 유기 재료인 Styrene으로 대체하여 플렉시블 소자의 가능성을 기대한다.

주제어 : 플라즈마 중합법, Styrene, 유기 메모리, 부동 게이트

I. 서 론

빠르게 변화하는 정보 산업의 발전으로 인해 반도체 시장 또한 빠르게 변화하고 있다. 이처럼 빠른 변화에 발맞춰 현대인들의 편의를 위한 휴대성을 위한 제품 혹은 소자의 소형화, 경량화, 고밀도화, 대면적화와 같은 기술과 유연성의 가능성을 갖는 신기술이 반도체 공정의 필수적인 요소로 자리잡고 있다.

현재까지도 반도체 소자인 소형 플래시 메모리나 여러 차세대 메모리의 가능성에 따른 연구 개발이 진행되고 있다. 개발되어지는 메모리의 저장 용량에 비해 빠르게 늘어나는 방대한 자료의 증가를 따라가지 못하고 있다. 특히 무기 반도체를 기반으로 한 소자들은 적층이 어려워 실질적으로 저장 용량을 늘리는데 한계가 있어 이 문제를 해결하기에 근본적으로 어려운 현실이다. 따라서 용량의 한계를 해결하기 위한 새로운 기술의 도입이 절실하다.

이러한 문제점을 해결하기 위해 저가격, 대면적화, 유연성 등의 많은 장점과 가능성을 갖고 있고 적층 구조에 적합한 유기 재료를 활용한 반도체 소자에 대한 필요성과 관심이 증가하고 있다. 유기 재료를 활용한 전자 소자들은 여러 분야에 적

용되고 있으며 응용 분야로는 유기 발광 다이오드, 유기 박막 트랜지스터, 유기 비휘발성 메모리, 유기 태양 전지 등이 있다 [1-5]. 이 중 플로팅 게이트형 유기 비휘발성 메모리 소자는 그들의 간단한 구조에 따라 제작 공정이 단순하고, 적은 가격에 제작이 가능하며, 프린팅 공정에 의한 대면적화도 가능하므로 활발히 연구되어지고 있다 [6]. 고속의 정보 처리가 가능하며, 메모리 단위의 적층이 가능하여 메모리 저장 용량을 증가시켜 무기 메모리의 한계를 대체할 수 있어 주목되고 있다.

재료의 중요성과 맞물려 그 재료에 맞는 공정에 대한 연구 또한 활발히 진행되고 있다. 습식 공정인 스핀 코팅법이나 프린팅법 등이 저가격과 대면적화의 가능성으로 많이 연구되고 있지만 특성 재현성에 대한 문제 등 안정하지 못한 특징을 갖고 있다 [7-9]. 이에 따라 공정 인자의 제어가 가능하며 가교 밀도가 높은 박막을 형성할 수 있는 건식화 공정인 플라즈마 중합법의 공정에 대한 연구가 필요하다 [10,11].

본 논문에서는 전원을 제거해도 정보가 지워지지 않는 플로팅 게이트형 비 휘발성 유기 메모리 소자의 게이트 절연 박막과 터널링 박막을 유기 재료로 활용하였다. 유기 재료의 공정은 최적화 과정을 통하여 건식화 공정인 플라즈마 중합법에 의해 제작되었으며, 유기 재료의 종류와 터널

* [전자우편] bjee@nsu.ac.kr

링, 유기절연박막 및 메모리 박막의 두께 변화를 유기 메모리 소자의 히스테리시스 전압 변화를 측정하여, 이를 통한 유기 메모리 소자의 전하 포집 능력을 파악하고자 한다.

II. 실험

1. 박막 제조 방법

유기 메모리 소자의 제작 공정은 Table 1과 Table 2와 같은 공정 조건으로 제작되었다. 먼저 게이트 전극인 투명 전극이 증착된 유리 기판을 일반적인 기판 세정 방법으로 (아세톤-알코올-초순수) 초음파 세척을 한 후 투명전극 기판을 PECVD (Plasma enhanced chemical vapor deposition) 장비로 산소 플라즈마 처리를 1분간 실시하였다. 그 후 대표적인 유기 절연 물질인 MMA와 Styrene을 Table 1의 조건으로 ICP 플라즈마 중합법으로 증착하였다. 유기 게이트 절연 박막의 공정은 PECVD에 버블러와 순환기를 추가해 단량체의 온도를 일정하게 유지해 주고 유량을 일정하게 제어함으로써 일정한 박막의 제작에 힘썼다. 안정한 박막의 형성을 위한 MMA의 공정 조건은 RF 파워

를 100 W, 단량체의 주입 압력을 스로틀 밸브를 이용해 제어하여 5 mTorr로 일정하게 유지하고, 기판 위치를 100 mm, 단량체 제어 가스를 20 sccm, 기판 바이어스를 20 W로 고정시켰다. 공정 진행시 진공도는 10^{-7} Torr이며, 이때의 MMA의 막의 두께는 400 nm이다. MMA와 비교할 Styrene의 공정 조건은 RF 파워를 100 W, 단량체의 주입 압력을 10 mTorr, 기판 위치를 50 mm, 단량체 제어 가스를 30 sccm, 기판 바이어스를 10 W로 고정 시켰다. 공정 진행 시 진공도는 MMA와 같이 10^{-7} Torr이며, 막의 두께도 MMA와 같은 400 nm로 제작 되었다. 메모리 박막으로 사용된 부동 게이트의 Au박막은 7 nm의 두께로 10^{-5} Torr의 진공 상태에서 $100 \text{ \AA}/\text{sec}$ 의 속도로 열기상증착법으로 증착하였다. 터널링 박막은 MMA와 Styrene을 게이트 절연 박막과 같은 조건으로 30 nm와 60 nm의 두께로 증착하였다. 유기 반도체의 대표적인 P형 반도체인 펜타센을 열기상증착법으로 40 nm의 두께로 10^{-5} Torr의 진공 상태에서 $0.1 \text{ \AA}/\text{sec}$ 의 속도로 증착하였다. 소스 및 드레인 전극은 메모리 박막과 같은 공정 조건에서 전극의 길이는 0.1 mm, 전극 사이의 거리를 1 mm로 제작된 새도우 마스크를 사용해 열 증착 하였다. 이때 전극의 두께는 50 nm이다. 이와 같은 부동 게이트 형 메모리 소자의 구조는 Fig. 1에 나타내었다. 그림에서 볼 수 있듯이 본 연구에서는 게이트 절연 박막의 재료 변화, 메모리 박막 및 터널링 박막의 두께 변화를 통한 유기 메모리 특성을 파악하였다.

Table 1. Process conditions of the gate insulator and tunneling layer.

	Monomer	MMA	Styrene
Gate insulator layer or tunneling layer (ICP-PECVD)	RF power	100 W	100 W
	Pressure	5 mTorr	10 mTorr
	Sub. position	100 mm	50 mm
	Monomer control gas	20 sccm	30 sccm
	Sub. RF bias	20 W	10 W

Table 2. Process conditions of memory layer, electrode and semiconductor.

	Material	Au pellet
Memory layer, source/drain electrode (Thermal Eva.)	Base Vac.	1×10^{-5} Torr
	Depo. rate	$100 \text{ \AA}/\text{sec}$
Semiconductor layer (Thermal Eva.)	Material	Pentacene
	Base Vac.	1×10^{-5} Torr
	Depo. rate	$0.1 \text{ \AA}/\text{sec}$

2. 측정 방법

메모리 소자의 특성 평가를 위해 I-V 특성을 측정하였다. I-V 측정을 위해 KEITHELEY 2400과 KEITHELEY 236을 GPIB카드로 연결하여 랩뷰 자동화 프로그램과 연동하였다. KEITHELEY 2400 장비로 게이트 전극에 double

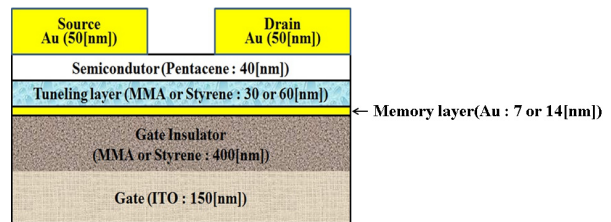


Figure 1. A schematic of floating gate organic memory device structure.

sweep의 전압 V_{GS} 를 인가하고, KEITHELEY 236으로 소스와 드레인 전극 사이의 전압 V_{DS} 를 -15 V로 고정하여 인가하고 전류 I_{DS} 를 측정하였다. 유기 재료의 사용으로 인한 히스테리시스로 전하 포집 효과를 확인하는데 목적을 두고 측정하였다. Double sweep 시 메모리 박막에 저장되는 전자와 정공의 반대 현상에 의해 생기는 히스테리시스의 크기를 히스테리시스 전압이라 칭하고, 이 히스테리시스 전압의 차이를 잘 보이기 위해 V_{GS} 의 전압 인가 단계를 0.1 V로 작게 하여 잦은 스트레스를 주어 큰 히스테리시스 현상을 보이게 하였다. 본 시스템은 Fig. 2(a)에 도시하였고, Fig. 2(b)는 랩뷰 자동화 프로그램의 모습이다.

III. 실험 결과

1. 플라즈마 중합법을 이용해 제작된 게이트 절연박막의 물성 및 전기적 특성

게이트 절연 박막은 누설 전류를 최소화 하기 위해 높은 절연 강도를 요구한다. 이를 위해 ICP 플라즈마 중합법으로 MMA와 Styrene의 게이트 절연 박막을 제작하였다.

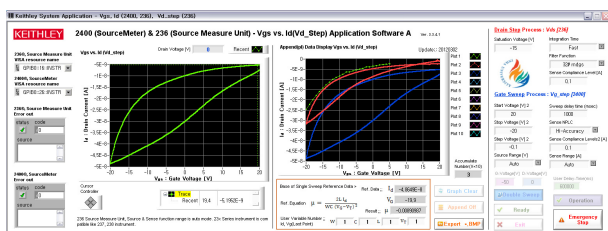
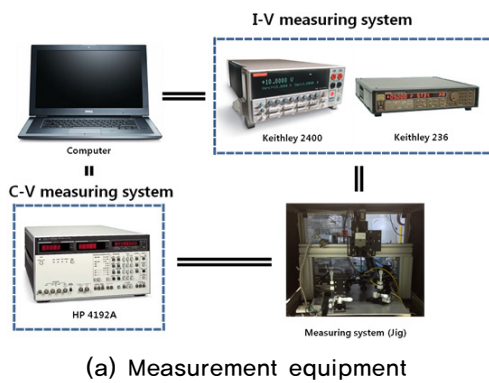


Figure 2. Analysis system.

MMA를 Table 1의 공정 조건으로, 안정한 플라즈마의 형성을 위한 RF Power, 일정한 모노머의 제어를 위한 단량체 제어 가스, 스로틀 밸브를 이용한 공정 압력 제어, 기판 바이어스를 고정시키고 증착 시간을 20, 30, 40 min로 늘려서 실험하였다. 플라즈마 중합법으로 제작한 게이트 절연 박막의 두께 분석 결과 20 min은 200 nm, 30 min은 300 nm, 40 min은 400 nm임을 확인했다. Fig. 3은 MMA를 게이트 절연 박막으로 20, 30, 40 min의 시간별로 증착하여 MIM (Metal-Insulator-Metal) 구조로 절연 특성을 확인한 그래프이다. 그림에서 보듯이 MMA 두께가 400 nm인 경우 게이트 전압을 120 V까지 인가하여도 5×10^{-11} A의 낮은 누설 전류 값을 얻을 수 있었다. 게이트 절연 박막이 두꺼울수록 높은 절연 특성을 보이는 것을 알 수 있으며, 높은 쓰기(write)와 지우기(erase) 전압의 인가와 안정한 소자의 제작을 위하여 증착 시간을 40분으로 고정하여 최적화 공정 조건을 설정하였다. Fig. 4는 MMA의 FT-IR 분석 결과로 플라즈마 중합법으로 제작한 MMA의 고유한 피크를 볼 수 있다. 이처럼 플라즈마 중합법으로 제작한 소자의 게이트 절연 박막이 MMA 박막임을 알 수 있다.

최적화 절연박막 선정을 위한 단량체 재료의 변화를 위해 Styrene을 Table 1의 공정 조건으로 플라즈마 중합막을 제작하였고 증착 시간을 20, 30, 40 min로 늘려서 실험하였다. Fig. 5는 Styrene을 게이트 절연 박막으로 20, 30, 40 min의 시간별로 증착하여 MIM 구조로 절연 특성을 확인한 그래프이다. 그림에서 보듯이 Styrene 두께가 400 nm인 경우 Gate 전압을 70 V까지 인가하여도 3×10^{-10} A의 낮은 누설 전류 값을 볼 수 있다. 즉, Styrene 게이트

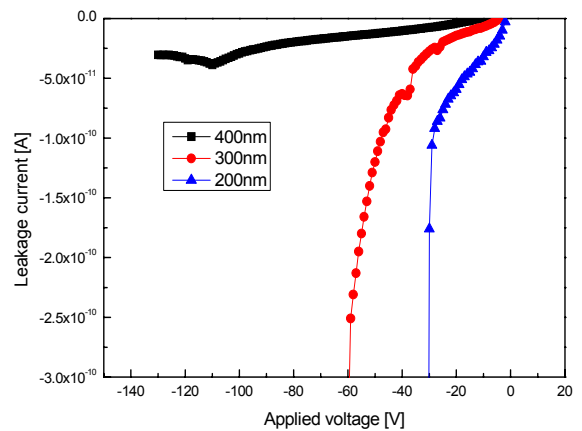


Figure 3. Leakage current characteristics of the MMA thin films.

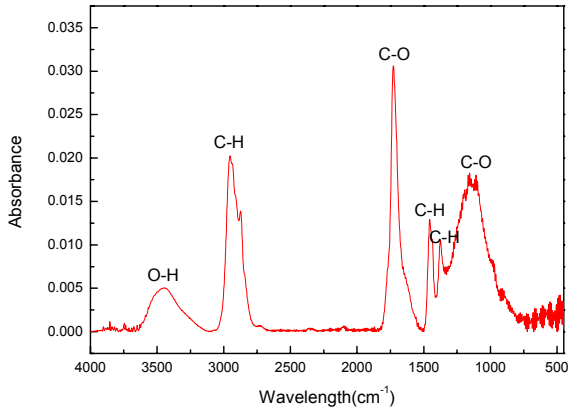


Figure 4. FT-IR spectra of the MMA thin film.

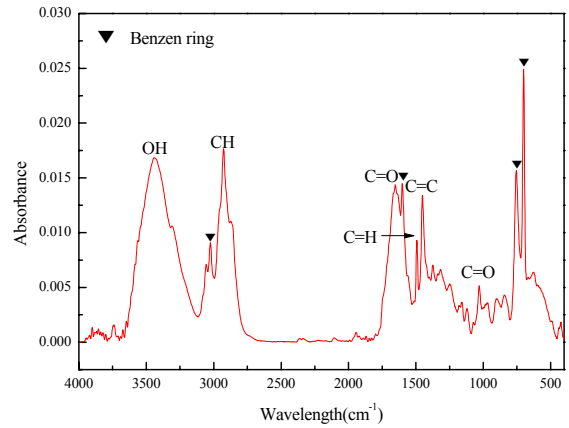


Figure 6. FT-IR spectra of the Styrene thin film.

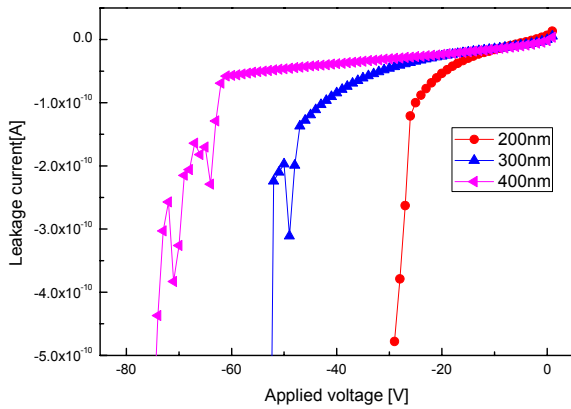


Figure 5. Leakage current characteristics of the Styrene thin films.

절연 박막의 두께가 두꺼워 질수록 더 높은 전압에 견디게 된다. 이로써 더 높은 절연 강도의 실험을 할 수 있다. Fig. 6은 ICP 플라즈마 중합법으로 제작한 Styrene의 FT-IR 분석 결과로 Styrene 박막임을 보여준다.

2. 열기상증착법을 이용해 제작된 메모리 박막의 물성 특성

비휘발성 메모리인 부동 게이트형 메모리 소자에서 부동 게이트의 전하 포집 능력에 따라 메모리 소자의 특성이 좌우된다. 메모리는 쓰기와 지우기의 상태가 확실히 구분되어야 하기 때문에 메모리 층의 전하 포집 효과가 높아야 한다. 큰 전하 포집 효과를 위해 Au 박막을 부동 게이트로 추가하여 유기 메모리 소자를 제작하였다. 나노 입자가 아닌 Au 박막의 형성의 확인을 위해 분석한 데이터이다. Table 3은 엘립소메터로 Au 박막의 두께 측정을 3개 지점 측정 후 데이터를 취합한 두께 측정표이다. 실험 결과, 대략 7

Table 3. Thickness of memory layer.

Memory layer	1 point	6,842 nm
Au thin film	2 point	6,891 nm
(thickness)	3 point	6,934 nm
	4 point	6,889 nm

nm 두께의 데이터를 확인할 수 있다. Fig. 7는 Au 박막의 AFM 사진이며, 측정결과 rms값을 보면 0.8 nm로 낮은 값을 알 수 있었다.

3. 부동 게이트 형 유기 메모리 소자의 구조 변화에 따른 메모리 특성

3.1 메모리 박막 및 터널링 박막의 두께 변화에 따른 전하 포집 특성

유기 메모리의 전하 포집 능력의 측정을 위해 게이트 전극에 double sweep의 전압 V_{GS} 를 인가하고, 소스와 드레인 전극 사이의 전압의 변화를 통한 전류 I_{DS} 를 측정하였다. Double sweep의 측정으로 인한 잦은 스트레스로 유기 메모리에 유기되는 히스테리시스 전압값을 측정함으로써 전하 포집 효과를 확인 하였다. 이처럼 히스테리시스 전압값이 클수록 유기 메모리가 전하를 포집하여 유지할 수 있는 능력이 큰 것으로 판단할 수 있다.

Fig. 8(a)와 Fig. 8(b)는 유기 메모리 소자의 전하 포집 능력을 향상시키기 위해 메모리 박막의 두께를 증가시켰다. 같은 면적당 저장될 수 있는 전하의 양이 증가하여 메모리 용량 증가될 것으로 예상되어 메모리 박막의 두께에 따른 특성을 보고자 한다. 메모리 박막의 두께에 따른 전하

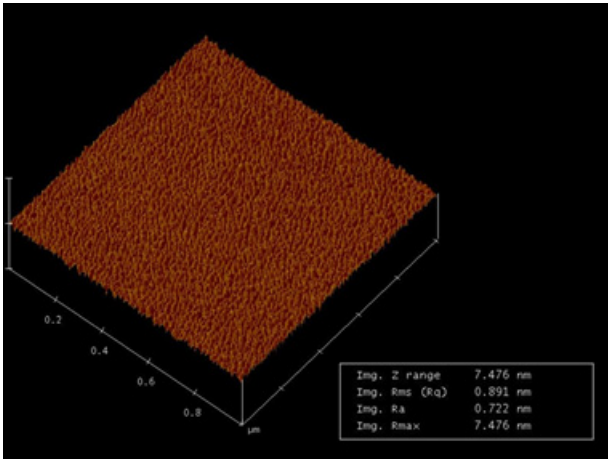


Figure 7. Image of Au as memory layer.

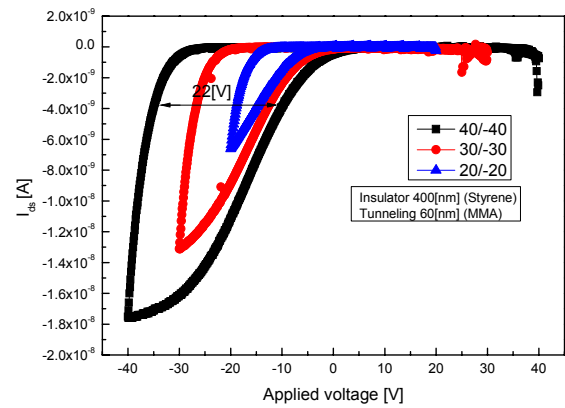
포집 특성의 최적화를 위해 게이트 절연 박막과 터널링 박막을 고정하고 메모리 박막의 박막 두께를 7 nm와 14 nm로 설정하여 히스테리시스 특성을 보았다.

두 그림을 비교해보면 메모리 박막이 7 nm보다 14 nm로 두꺼워졌을 때 40/-40 V double sweep 시 히스테리시스 전압이 22 V에서 25 V로 3 V 증가하나 그 효과는 크지 않은 것으로 생각된다. 메모리 효과 증진을 위한 다른 방법을 찾자 터널링 박막의 두께의 영향도를 알아보았다. Fig. 8(c)는 터널링 박막의 두께 변화에 따른 특성을 본 것이다. 즉, Fig. 8(b)와 Fig. 8(c)를 비교할 때, Fig. 8(c)와 같이 터널링 박막의 두께가 얇아질 때 40/-40 V의 double sweep의 전압 인가 시 소자의 전하 포집 능력을 판단할 수 없을 만큼 소자의 안정성이 크게 저하된 것을 알 수 있다. 이로부터 400 nm의 Styrene 게이트 절연 박막, 14 nm의 Au 메모리 박막, 60 nm의 MMA 터널링 박막의 유기 메모리 소자 구현 시 25 V의 히스테리시스 전압값을 얻을 수 있었다.

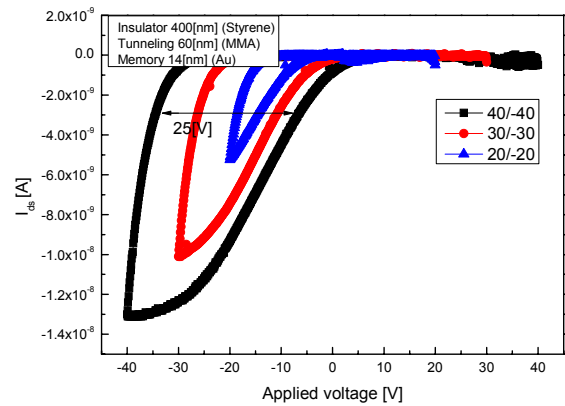
상기의 연구 결과를 종합할 때, 전하 포집 능력을 증진시키는 방안 중 메모리 박막의 두께를 증가시키는 것은 터널링 박막의 박막 두께를 최적화 시킨 소자보다 효과가 적었다. 다음은 게이트 절연 박막의 재료의 변화를 통한 유기 메모리의 전하 포집 능력을 증진시키고자 했다.

3.2. 플라즈마 중합 절연박막 종류에 따른 특성

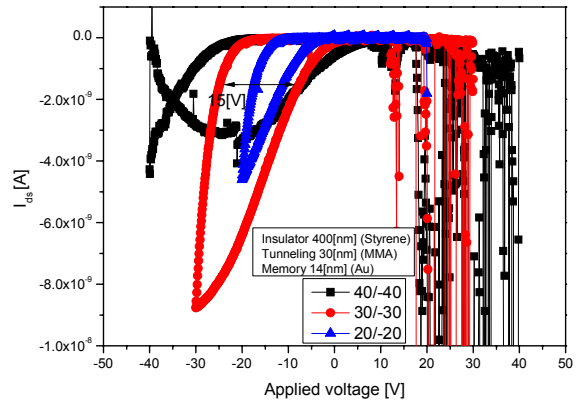
플라즈마 중합 박막의 절연 내력 특성을 고려할 때, MMA의 절연 내력은 Styrene보다 좋은 결과를 얻었다. 이로부터 Fig. 9(a)는 게이트 절연 박막과 터널링 박막을



(a) Characteristic of memory layer's thickness (tunneling layer 60 nm, memory layer 7 nm)



(b) Characteristic of memory layer's thickness (tunneling layer 60 nm, memory layer 14 nm)



(c) Characteristic of tunneling layer's thickness (tunneling layer 30 nm, memory layer 14 nm)

Figure 8. Hysteresis voltage characteristic of memory and tunneling layer's thickness.

MMA로 제작한 메모리 소자의 히스테리시스 전압을 표현한 그림이고 Fig. 9(b)는 게이트 절연 박막을 Styrene, 터널링 박막을 MMA로 제작한 메모리 소자의 히스테리시스 전압을 표현한 그림이다. 이때 소자 구조는 메모리 박막의

두께는 7 nm로 고정하고 터널링 박막의 두께를 30 nm로 기준하여 측정하였다.

실험 결과로 40/-40 V의 double sweep의 전압 인가 시 게이트 절연 박막으로 Styrene을 사용한 경우 27 V의 히스테리시스 전압을 얻었고, MMA을 사용한 경우 10 V의 히스테리시스 전압을 얻을 수 있었다. 더불어 Fig. 8에서와 같이 14 nm의 Au 메모리 박막, 60 nm의 MMA 터널링 박막의 유기메모리 소자의 25 V의 히스테리시스 전압보다 큰 값을 얻을 수 있었다.

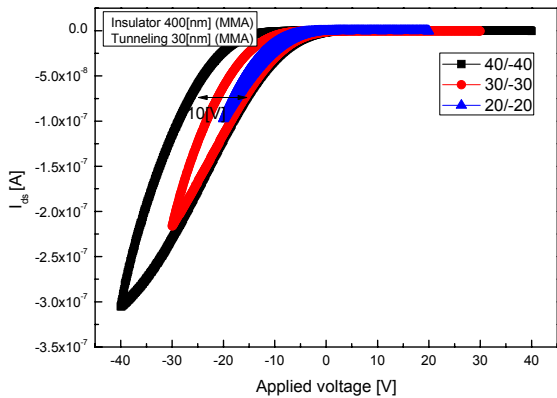
즉, Gate Insulator layer로 Styrene을 사용한 경우가 MMA를 사용한 경우에 비해 히스테리시스 전압보다 17 V

만큼 더 크다는 것을 확인하였다. 이 둘을 비교해 보면 절연 특성이 좋은 PMMA 메모리 소자의 메모리 박막으로 Au 박막의 영향보다 전하 포집 특성이 좋은 Styrene을 게이트 절연박막으로 사용함으로써 늘어난 전하 포집 효과가 크다는 것을 알 수 있다. 게이트 절연박막의 재료는 Styrene으로, 데이터의 손실을 방지하는 역할도 필요한 터널링 박막의 유기 재료는 절연 내력이 뛰어난 MMA로 최적화 하고자 한다 [12].

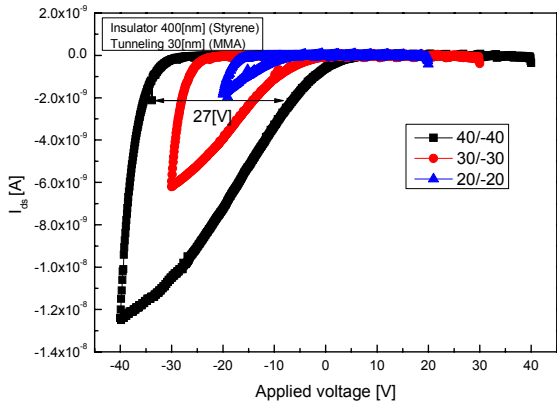
실험 결과를 종합한 Table 4에서 볼 수 있듯이 플라즈마 중합법에 의한 건식화 공정을 통하여 400 nm의 Styrene 게이트 절연박막, 7 nm의 Au 메모리 박막, 30 nm의 MMA 터널링 박막의 유기 메모리 소자 구현 시 27 V의 히스테리시스 전압을 얻을 수 있었다. 향후 연구진행 예정인 Styrene 박막의 메모리 박막으로의 활용에 대한 가능성을 보았고, 이로써 완전한 건식 공정을 통하여 모든 소자구조를 유기 재료로 제작한 유기 메모리 소자의 구현에 대한 가능성을 보았다.

IV. 결 론

유기 메모리 소자를 만들기 위해 게이트 절연 박막을 플라즈마 중합법을 이용하여 유기 재료 종류 및 소자 구조의 설계 변경을 통해 전하 포집 특성을 파악하였다. Styrene의 공정 조건은 RF 파워를 100 W, 단량체의 주입 압력을 10 mTorr, 기판 위치를 50 mm, 단량체 제어 가스를 30 sccm, 기판 바이어스를 10 W로 최적 조건을 확립하고 메모리 박막은 부동 게이트로써 Au를 사용하고, 터널링 박막으로 MMA의 공정을 최적화한 메모리 소자를 제작하였다. 즉, 플라즈마 중합법에 의한 건식화 공정을 통하여 400 nm의 Styrene 게이트 절연 박막, 7 nm의 Au 메모리 박막, 30 nm의 MMA 터널링 박막의 유기 메모리 소자 구현 시 27 V의 히스테리시스 전압 특성을 얻을 수 있었다. 또한, 전하 포집 특성의 증진을 위해서는 Au 메모리 박막의 두께 조절 효과보다는 메모리 박막과 터널링 박막의 최적화를



(a) Characteristic of the MMA organic memory device



(b) Characteristic of the Styrene organic memory device

Figure 9. Hysteresis characteristic of organic memory device with plasma polymerization thin film.

Table 4. Hysteresis voltage of organic memory device with Styrene gate insulator thin film.

Insulator layer (Styrene 400 nm),	Tunneling layer (MMA 30 nm)	27 V	Insulator layer (Styrene 400 nm)	Tunneling layer (MMA 30 nm)	X (측정불가)
Memory layer (Au 7 nm)	Tunneling layer (MMA 60 nm)	22 V	Memory layer (Au 14 nm)	Tunneling layer (MMA 60 nm)	25 V

통한 소자 제작이 중요함을 알 수 있었다.

본 연구를 통해 Styrene박막의 전하 포집 효과로 메모리 박막으로의 응용 가능성도 알게 되었다. 이에 따라 Styrene을 메모리 저장 층으로 활용할 경우 소자 전체를 유기물로 사용하여 플렉시블 소자의 가능성을 기대해본다.

감사의 글

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2011-0014377).

참고문헌

- [1] T.-W. Kim, Y. Gao, O. Acton, H.-L. Yip, H. Ma, H. Chen, and A. K.-Y. Jen, *Appl. Phys. Lett.* **97**, 023310 (2010).
- [2] S.-J. Kim, Y.-S. Park, S.-H. Lyu, and J.-S. Lee, *Appl. Phys. Lett.* **96**, 033302 (2010).
- [3] S.-J. Kim and J.-S. Lee, *Nano Lett.* **10**, 2884 (2010).
- [4] Q.-D. Ling, D.-J. Liaw, C. Zhu, D. S.-H. Chan, E.-T. Kang, and K.-G. Neoh, *Prog. Polym. Sci.* **33**, 917 (2008).
- [5] C.-Y. Lu, K.-Y. Hsieh, and R. Liu, *Microelectron. Eng.* **86**, 283 (2007).
- [6] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, *Proc. IEEE* **85**, 1248 (1997).
- [7] H. Sirringhaus, *Adv. Mater.* **17**, 2411 (2005).
- [8] Y.-S. Park, S. Chung, S.-J. Kim, S.-H. Lyu, J.-W. Jang, S.-K. Kwon, Y. Hong, and J.-S. Lee, *Appl. Phys. Lett.* **96**, 213107 (2010).
- [9] J. Ouyang, C.-W. Chu, C. R. Szmanda, L. Ma, and Y. Yang, *Nature Mater.* **3**, 918 (2004).
- [10] T. J. Gim, B. J. Lee, and P. K. Shin, *J. Korean Vac. Soc.* **19**, 341 (2010).
- [11] T. J. Gim, Y. Choi, P. K. Shin, G. B. Park, H. Y. Shin, and B. J. Lee, *J. Korean Vac. Soc.* **19**, 148 (2010).
- [12] M. F. Mabrook, Y. Yun, C. Pearson, D. A. Zeze, and M. I. C. Petty, *Appl. Phys. Lett.* **94**, 173302 (2009).

Floating Gate Organic Memory Device with Tunneling Layer's Thickness

H. S. Kim^a, B. J. Lee^{b*}, and P. K. Shin^a

^a*Electrical Engineering, Inha University, Incheon 402-751*

^b*Electronic Engineering, Namseoul University, Cheonan 331-707*

(Received November 2, 2012, Revised November 16, 2012, Accepted November 23, 2012)

The organic memory device was made by the plasma polymerization method which was not the dry process but the wet process. The memory device consist of the styrene and MMA monomer as the insulating layer, MMA monomer as the tunneling layer and Au thin film as the memory layer which was fabricated by thermal evaporation method. The I-V characteristics of fabricated memory device got the hysteresis voltage of 27 V at 40/-40 V double sweep measuring conditions. At this time, the optimized structure was 7 nm of Au thin film as floating gate, 400 nm of styrene thin film as insulating layer and 30 nm of MMA thin film as tunneling layer. Therefore we got the charge trapping characteristics by the hysteresis voltage. From the paper, styrene indicated a good charge trapping characteristics better than MMA. In the future, we expect to make devices by using styrene thin film rather than Au thin film.

Keywords : Plasma ploymerization, Styrene, Organic memory, Floating gate

* [E-mail] bjlee@nsu.ac.kr